

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294578

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H01L 21/56  
H01L 21/301  
H01L 23/12  
H01L 23/52  
H01L 23/522  
H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 2000-078965

(71)Applicant : FUJITSU LTD  
FUJITSU AUTOM LTD

(22)Date of filing : 23.01.1997

(72)Inventor : FUKAZAWA NORIO  
KAWAHARA TOSHISANE  
MORIOKA MUNETOMO  
OOSAWA MITSUHIRO  
NIIMA YASUHIRO  
MATSUKI HIROHISA  
ONODERA MASANORI  
KASAI JUNICHI  
MARUYAMA SHIGEYUKI  
SAKUMA MASAO  
SUZUKI YOSHIMI

(30)Priority

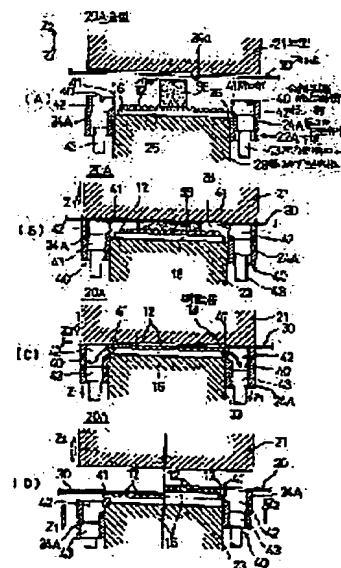
Priority number : 08183844 Priority date : 12.07.1996 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE, MOLD FOR MANUFACTURING THE SEMICONDUCTOR DEVICE, THE SEMICONDUCTOR DEVICE AND MOUNTING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve manufacturing efficiency and reliability of a semiconductor device, in a method of manufacturing a semiconductor device having a chip-size package structure, and a mold for manufacturing the semiconductor device, and the semiconductor and mounting method thereof.

SOLUTION: This method of manufacturing a semiconductor device has a resin-sealing process, in which a substrate 16 with a plurality of semiconductor devices on which bumps 12 are disposed, is installed in a cavity 28 of a mold 20, the positions of the disposal of the bumps 12 are supplied with a resin 35 to seal the bumps 12 and a resin layer 13 is formed, a bump-electrode exposure process in which at least the front end sections of the bumps 12 covered with the resin layer 13 are exposed from the resin layer 13, and a separation process, in which the substrate 16 is cut together with the resin layer 13 and separated into individual semiconductor elements.



## LEGAL STATUS

[Date of request for examination] 21.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3397743

[Date of registration] 14.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The resin seal process which equips with the substrate with which two or more semiconductor devices in which the projection electrode was arranged were formed in metal mold, supplies closure resin to the arrangement location of said projection electrode continuously, closes said projection electrode and said substrate by said closure resin, and forms a resin layer, The manufacture approach of the semiconductor device characterized by providing the projection electrode exposure process of said projection electrode at which a point is exposed from said resin layer at least, and the separation process which cuts said substrate with said resin layer, and is divided into each semiconductor device.

[Claim 2] The closure resin used at said resin seal process in the manufacture approach of a semiconductor device according to claim 1 is the manufacture approach of a semiconductor device that the height of said resin layer after closure processing is characterized by being measured by the amount from which the height of said projection electrode, abbreviation, etc. are by carrying out, and serve as height.

[Claim 3] The manufacture approach of the semiconductor device characterized by constituting so that a film may be arranged between said projection electrodes and said metal mold and said metal mold may contact said closure resin through said film at said resin seal process in the manufacture approach of a semiconductor device according to claim 1 or 2.

[Claim 4] The manufacture approach of the semiconductor device characterized by using sheet-like resin as closure resin at said resin seal process in the manufacture approach of a semiconductor device given in any [ claim 1 thru/or ] of 3 they are.

[Claim 5] The manufacture approach of the semiconductor device characterized by arranging said closure resin in said film beforehand before operation of said resin seal process in the manufacture approach of a semiconductor device according to claim 3 or 4.

[Claim 6] The manufacture approach of the semiconductor device characterized by carrying out said resin seal process continuously by arranging two or more said closure resin in said film, and moving said film in the manufacture approach of a semiconductor device according to claim 5.

[Claim 7] The manufacture approach of the semiconductor device characterized by equipping with the back up plate before equipping said metal mold with said substrate at said resin seal process in the manufacture approach of a semiconductor device given in either according to claim 1 to 6.

[Claim 8] The manufacture approach of the semiconductor device characterized by selecting the good ingredient of heat dissipation nature as said back up plate in the manufacture approach of a semiconductor device according to claim 7.

[Claim 9] The manufacture approach of the semiconductor device characterized by using the means of at least 1 among a laser beam exposure, excimer laser, etching, mechanical polishing, and blasting in the manufacture approach of a semiconductor device according to claim 1 to 8 as a means of the projection electrode covered with said resin layer at said projection electrode exposure process for which a point is exposed from said resin layer at least.

[Claim 10] It has the 1st metal mold, and said 1st metal mold and the 2nd metal mold formed in the location which counters. Said 2nd metal mold While being arranged so that the 1st half-object which has

a configuration corresponding to the configuration of a substrate, and said 1st half-object may be surrounded, it has the 2nd half-object which can go up and down to said 1st half-object. the semiconductor device manufacture characterized by considering as the configuration which forms the cavity to which said the 1st metal mold and 2nd metal mold collaborate, and resin restoration is performed -- public funds -- a mold.

[Claim 11] semiconductor device manufacture according to claim 10 -- public funds -- the semiconductor device manufacture characterized by establishing the surplus resin clearance device which controls the pressure of said closure resin in a mold while performing clearance processing of surplus resin simultaneously at the time of resin shaping -- public funds -- a mold.

[Claim 12] semiconductor device manufacture according to claim 10 or 11 -- public funds -- the semiconductor device manufacture characterized by preparing immobilization / mold release device in which said 1st half-object is made to fix and release said substrate from mold, in a mold in the part in which said substrate of said 1st half-object is laid -- public funds -- a mold.

[Claim 13] semiconductor device manufacture according to claim 10 to 12 -- public funds -- the semiconductor device manufacture characterized by considering as the configuration which has the part to which the area surrounded with said 2nd half-object rather than the area of the upper part of said 1st half-object becomes large in the condition of having formed said cavity, in a mold -- public funds -- a mold.

[Claim 14] The semiconductor device characterized by providing the resin layer which is formed on the front face at least on the front face of the semiconductor device to which it comes to form a projection electrode directly, and said semiconductor device, leaves the point of said projection electrode, and closes said projection electrode, and by which compression molding was carried out.

[Claim 15] The semiconductor device characterized by arranging radiator material in the tooth back which serves as an opposite hand in a semiconductor device according to claim 14 to the front face in which said projection electrode of said semiconductor device is formed.

[Claim 16] The manufacture approach of the semiconductor device characterized by arranging said closure resin in said back up plate beforehand in said resin seal process in the manufacture approach of a semiconductor device according to claim 7 or 8.

[Claim 17] The manufacture approach of the semiconductor device characterized by forming the 2nd resin layer simultaneously so that the tooth back of said substrate may be covered after forming the 1st resin layer in the front face of said substrate in which said projection electrode was arranged at said resin seal process in the manufacture approach of a semiconductor device according to claim 1 to 9.

[Claim 18] The manufacture approach of the semiconductor device characterized by carrying out the projection electrode formation process for external connection which forms the projection electrode for external connection in either claim 1 thru/or 9, claim 16 or claim 17 at said projection electrode exposure process in the manufacture approach of the semiconductor device a publication at the point of said projection electrode after [ said projection electrode ] exposing a point from said resin layer at least.

[Claim 19] The manufacture approach of the semiconductor device characterized by joining said projection electrode and said projection electrode for external connection with said projection electrode formation process for external connection in the manufacture approach of a semiconductor device according to claim 18 using the jointing material for corrugated fibreboard which has a stress relaxation function.

[Claim 20] The manufacture approach of the semiconductor device which forms the cutting location slot in the location beforehand cut at said separation process of said substrate, and is characterized by to cut said substrate in the formation location of said cutting location slot where it filled up with said closure resin in said separation process in claim 1 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 19 before carrying out said resin seal process.

[Claim 21] It equips with the substrate with which two or more semiconductor devices by which the



exterior and the external connection electrode connected were formed in the front face were formed in metal mold. Then, the resin seal process which supplies closure resin to said front face, closes said external connection electrode and said substrate by said closure resin, and forms a resin layer, The manufacture approach of the semiconductor device characterized by providing the separation process which cuts said substrate with said resin layer in the location in which said external connection electrode was formed, and is divided into each semiconductor device.

[Claim 22] The manufacture approach of the semiconductor device characterized by being share-sized before said separation process operation in the manufacture approach of a semiconductor device according to claim 21 between the adjoining semiconductor devices by which said external connection electrode was formed in said substrate.

[Claim 23] The manufacture approach of the semiconductor device which is after operation of said resin seal process at least, and is characterized by forming a location notch in the tooth back of said resin layer or said substrate in claim 1 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 22 before carrying out said separation process.

[Claim 24] It is the manufacture approach of the semiconductor device characterized by being formed when said location notch performs a half scribe at the tooth back of said resin layer or said substrate in the manufacture approach of a semiconductor device according to claim 23.

[Claim 25] The manufacture approach of the semiconductor device characterized by using said projection electrode and the irregularity formed on said resin layer of said heights or crevice after termination of said resin seal process using that by which heights or a crevice was formed in the location in which it does not interfere as the positioning section as said film at said resin seal process in claim 3 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 20.

[Claim 26] The manufacture approach of the semiconductor device characterized by processing the closure resin in the formation location of the projection electrode for positioning used as criteria of positioning after termination of said resin seal process in claim 1 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 20, and enabling it to identify said projection electrode for positioning, and other projection electrodes.

[Claim 27] The semiconductor device with which the semiconductor device by which the external connection electrode connected to an external terminal and an electric target was formed in the front face, and the resin layer by which compression molding was carried out to the front face of said semiconductor device so that said external connection electrode might be covered are provided, and said external connection electrode is characterized by to consider as the configuration exposed towards the side in the interface of said semiconductor device and said resin layer.

[Claim 28] The mounting approach of the semiconductor device which is the mounting approach of a semiconductor device according to claim 27, and is characterized by mounting said semiconductor device in the state of a set-up to a mounting substrate.

[Claim 29] The mounting approach of the semiconductor device characterized by joining with adhesives said semiconductor device comrade who is the mounting approach of a semiconductor device according to claim 28, and adjoins while mounting two or more said semiconductor devices in a juxtaposition condition.

[Claim 30] The mounting approach of the semiconductor device characterized by supporting said two or more semiconductor devices in the set-up condition using supporter material while being the mounting approach of a semiconductor device according to claim 28 and mounting two or more said semiconductor devices in a juxtaposition condition.

[Claim 31] The mounting approach of the semiconductor device which is the mounting approach of a semiconductor device given in either claim 14, claim 15 or claim 27, and is characterized by mounting said semiconductor device in a mounting substrate through an interpauser board.

[Claim 32] The semiconductor device characterized by providing the 1st [ which is formed on the front

face at least on the front face of the semiconductor device to which it comes to form a projection electrode directly, and said semiconductor device, leaves the point of said projection electrode, and closes said projection electrode ] resin layer by which compression molding was carried out, and the 2nd resin layer by which compression molding was carried out so that the tooth back of said semiconductor device might be covered at least.

[Claim 33] The semiconductor device characterized by to provide the projection electrode for external connection which is formed on the front face at least on the front face of the semiconductor device to which it comes to form a projection electrode directly, and said semiconductor device, and was formed in the point of said projection electrode exposed from the resin layer which leaves the point of said projection electrode and closes said projection electrode, and by which compression molding was carried out, and said resin layer.

[Claim 34] The semiconductor device characterized by providing the semiconductor device which comes to form a projection electrode on a front face at least, and the resin layer which is formed on the front face of said semiconductor device, leaves the point of said projection electrode, and closes said projection electrode, and by which compression molding was carried out, and coming to form in the side face of said resin layer, and the side face of said semiconductor device the cutting plane cut by the dicer.

[Claim 35] The semiconductor device characterized by constituting in a semiconductor device according to claim 34 so that the side face of said resin layer and the side face of said semiconductor device may turn into the same flat surface.

[Claim 36] The semiconductor device characterized by arranging radiator material in the tooth back which serves as an opposite hand in a semiconductor device according to claim 34 or 35 to the front face in which said projection electrode of said semiconductor device is formed.

[Claim 37] The resin seal process which equips with the substrate with which two or more semiconductor devices in which the projection electrode was arranged were formed in metal mold, supplies closure resin to the arrangement location of said projection electrode continuously, closes said projection electrode and said substrate by said closure resin, and forms a resin layer, So that the side face of said resin layer and the side face of said semiconductor device may serve as a projection electrode exposure process of said projection electrode at which a point is exposed from said resin layer at least with the same flat surface using a dicer The manufacture approach of the semiconductor device characterized by providing the separation process which cuts said both substrates and said resin layers, and is divided into each semiconductor device.

[Claim 38] The manufacture approach of the semiconductor device characterized by constituting so that a film may be arranged between said projection electrodes and said metal mold and said metal mold may contact said closure resin through said film at said resin seal process in the manufacture approach of a semiconductor device according to claim 37.

[Claim 39] The manufacture approach of the semiconductor device characterized by using sheet-like resin as closure resin at said resin seal process in the manufacture approach of a semiconductor device according to claim 37 or 38.

[Claim 40] The manufacture approach of the semiconductor device characterized by equipping with the back up plate before equipping said metal mold with said substrate at said resin seal process in the manufacture approach of a semiconductor device given in either according to claim 37 to 39.

[Claim 41] Provide the semiconductor device by which the external connection electrode connected to an external terminal and an electric target was formed in the front face, and the resin layer by which compression molding was carried out to the front face of said semiconductor device so that said external connection electrode might be covered, and it sets to the interface of said semiconductor device and said resin layer. The semiconductor device which said external connection electrode is the semiconductor device considered as the configuration exposed towards the side, and is characterized by coming to form in the side face of said resin layer, and the side face of said semiconductor device the

cutting plane cut by the dicer.

[Claim 42] The semiconductor device characterized by providing the semiconductor device which comes to form a projection electrode on a front face at least, and the resin layer by which method compression molding of a wrap was carried out in the point of the front-face top of said semiconductor device, and said projection electrode, and coming to form in the side face of said resin layer, and the side face of said semiconductor device the cutting plane cut by the dicer.

[Claim 43] The manufacture approach of the semiconductor device characterized by arranging a film between said substrates and said metal mold at said resin seal process in the manufacture approach of a semiconductor device according to claim 1.

[Claim 44] The closure process which supplies a closure member to the arrangement location of said projection electrode of the substrate with which two or more semiconductor devices in which the projection electrode was arranged were formed, closes said projection electrode and said substrate by said closure member, and forms a closure layer, The hardening process which stiffens this closure member by heating said closure member, The manufacture approach of the semiconductor device characterized by providing the projection electrode exposure process of said projection electrode at which a point is exposed from said closure layer at least, and the separation process which cuts said substrate with said closure layer, and is divided into each semiconductor device.

[Claim 45] So that it may estrange to two or more electrode pads formed in the semiconductor device, and said electrode pad By being selectively arranged between two or more projection electrodes formed on said semi-conductor substrate, and said electrode pad and said projection electrode While carrying out method formation of a wrap of said electrode pad and said wiring at least on wiring which connects said electrode pad and said projection electrode, and the front face of said semiconductor device The semiconductor device characterized by providing the resin layer which leaves the point of said projection electrode and closes said projection electrode, and by which compression molding was carried out, and coming to form in the side face of said resin layer, and the side face of said semiconductor device the cutting plane cut by the dicer.

[Claim 46] The semiconductor device characterized by setting up the arrangement pitch of said projection electrode greatly to the arrangement pitch of said electrode pad in a semiconductor device according to claim 45.

[Claim 47] The semiconductor device characterized by providing the resin layer which is formed on the front face at least on the front face of the semi-conductor wafer with which it comes to form a projection electrode directly, and said semi-conductor wafer, leaves the point of said projection electrode, and closes said projection electrode, and by which compression molding was carried out.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP1 are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention -- the manufacture approach of a semiconductor device, and semiconductor device manufacture -- public funds -- the manufacture approach of a semiconductor device with [ start a mold and a semiconductor device, especially ] chip-size package structure, and semiconductor device manufacture -- public funds -- it is related with a mold and a semiconductor device.

[0002] In recent years, miniaturization of a semiconductor device and densification are attained with the demand of a miniaturization of electronic equipment and equipment. for this reason, the configuration of a semiconductor device -- a semiconductor device (chip) -- as much as possible -- \*\* -- the so-called semiconductor device of the chip-size package structure aiming at a miniaturization is proposed by bringing close.

[0003] Moreover, if many pins are formed by densification and a semiconductor device is miniaturized, the pitch of an external connection terminal will become narrow. For this reason, using a projection electrode (bump) as an external connection terminal is performed as structure which can form many external connection terminals in space-saving comparatively.

[0004]

[Description of the Prior Art] Drawing 78 (A) shows an example of the semiconductor device used for the conventional bare chip (flip chip) mounting. If the profile of the semiconductor device 1 shown in this drawing is carried out, it is constituted by a semiconductor device 2 (semiconductor chip), many projection electrodes 4 (bump), etc.

[0005] Many projection electrodes 4 used as an external connection terminal are formed in the underside of a semiconductor device 2 for example, in the shape of a matrix. It is difficult for this projection electrode 4 for a blemish to tends to be attached since it is formed with soft metals, such as solder, and to carry out handling and a test. It is difficult similarly, to tend to attach a blemish, since a semiconductor device 2 is also in a bare chip condition, and to carry out handling and a trial like the projection electrode 4 therefore.

[0006] Moreover, in order to mount the above-mentioned semiconductor device 1 in the mounting substrate 5 (for example, printed-circuit board), as shown in drawing 78 (B), the projection electrode 4 currently first formed in the semiconductor device 1 is joined to electrode 5a currently formed in the mounting substrate 5. Then, as shown in drawing 78 (C), it loads with the so-called under-filling resin 6 (crepe shows) between a semiconductor device 2 and the mounting substrate 5.

[0007] This under-filling resin 6 is formed by filling up the gap 7 (the height of the projection electrode 4, abbreviation, etc. being by carrying out) formed between the semiconductor device 2 and the mounting substrate 5 with the resin which has a fluidity comparatively.

[0008] Thus, the under-filling resin 6 formed With the stress impressed to the joint of the electrode of a semiconductor device 2 and the projection electrode 4 which are generated when opened by the stress generated based on the differential thermal expansion of a semiconductor device 2 and the mounting substrate 5, and the heat at the time of mounting It is prepared in order to prevent the destruction like the joint of the projection electrode 4 and electrode 5a of the mounting substrate 5, or the destruction like the joint of the projection electrode 4 and the electrode of a semiconductor device 2.

[0009]

[Problem(s) to be Solved by the Invention] As described above, under-filling resin 6 is effective from the field which prevents destruction (destruction especially between an electrode and the projection electrode 4) with the projection electrode 4 and the mounting substrate 5. However, since it is necessary to fill up with this under-filling resin 6 the narrow gap 7 formed between the semiconductor device 2 and the mounting substrate 5, its restoration is troublesome and it is difficult to arrange under-filling resin 6 in the whole gap 7 at homogeneity. For this reason, in spite of the manufacture effectiveness of a semiconductor device having fallen and having formed under-filling resin 6, the

destruction in the joint of the projection electrode 4 and electrode 5a or the joint of the projection electrode 4 and the electrode of a semiconductor device 2 was generated, and there was a trouble that the dependability in mounting will fall.

[0010] the manufacture approach of a semiconductor device that this invention is made in view of the above-mentioned point, and improvement in the manufacture effectiveness of a semiconductor device and dependability can be aimed at, and semiconductor device manufacture -- public funds -- it aims at offering a mold and a semiconductor device.

[0011]

[Means for Solving the Problem] The above-mentioned technical problem is solvable by providing the following means.

[0012] By the manufacture approach of the semiconductor device concerning invention according to claim 1 The resin seal process which equips with the substrate with which two or more semiconductor devices in which the projection electrode was arranged were formed in metal mold, supplies closure resin to the arrangement location of said projection electrode continuously, closes said projection electrode and said substrate by said closure resin, and forms a resin layer, It is characterized by providing the projection electrode exposure process of said projection electrode at which a point is exposed from said resin layer at least, and the separation process which cuts said substrate with said resin layer, and is divided into each semiconductor device.

[0013] Moreover, in invention according to claim 2, the closure resin used at said resin seal process is characterized by the height of said resin layer after closure processing being measured by the amount from which the height of said projection electrode, abbreviation, etc. are by carrying out, and serve as height in the manufacture approach of a semiconductor device according to claim 1.

[0014] Moreover, in invention according to claim 3, in the manufacture approach of a semiconductor device according to claim 1 or 2, it is said resin seal process, and a film is arranged between said projection electrodes and said metal mold, and it is characterized by constituting so that said metal mold may contact said closure resin through said film.

[0015] Moreover, in invention according to claim 4, in the manufacture approach of a semiconductor device given in any [ claim 1 thru/or ] of 3 they are, it is said resin seal process and is characterized by using sheet-like resin as closure resin.

[0016] Moreover, in invention according to claim 5, it is characterized by arranging said closure resin in said film beforehand before operation of said resin seal process in the manufacture approach of a semiconductor device according to claim 3 or 4.

[0017] Moreover, in invention according to claim 6, it is characterized by carrying out said resin seal process continuously in the manufacture approach of a semiconductor device according to claim 5 by arranging two or more said closure resin in said film, and moving said film.

[0018] Moreover, in invention according to claim 7, before equipping said metal mold with said substrate at said resin seal process in the manufacture approach of a semiconductor device given in either according to claim 1 to 6, it is characterized by equipping with the back up plate.

[0019] Moreover, in invention according to claim 8, it is characterized by selecting the good ingredient of heat dissipation nature as said back up plate in the manufacture approach of a semiconductor device according to claim 7.

[0020] Moreover, in invention according to claim 9, it is characterized by using the means of at least 1 among a laser beam exposure, excimer laser, etching, mechanical polishing, and blasting in the manufacture approach of a semiconductor device according to claim 1 to 8 as a means of the projection electrode covered with said resin layer at said projection electrode exposure process for which a point is exposed from said resin layer at least.

[0021] moreover, the semiconductor device manufacture concerning invention according to claim 10 -- public funds -- in a mold It has the 1st metal mold, and said 1st metal mold and the 2nd metal mold formed in the location which counters. Said 2nd metal mold While being arranged so that the 1st half-

object which has a configuration corresponding to the configuration of a substrate, and said 1st half-object may be surrounded, it has the 2nd half-object which can go up and down to said 1st half-object. It is characterized by considering as the configuration which forms the cavity to which said the 1st metal mold and 2nd metal mold collaborate, and resin restoration is performed.

[0022] moreover -- invention according to claim 11 -- semiconductor device manufacture according to claim 10 -- public funds -- in a mold, while performing clearance processing of surplus resin simultaneously at the time of resin shaping, it is characterized by establishing the surplus resin clearance device which controls the pressure of said closure resin.

[0023] moreover -- invention according to claim 12 -- semiconductor device manufacture according to claim 10 or 11 -- public funds -- in a mold, it is characterized by preparing immobilization / mold release device in which said 1st half-object is made to fix and release said substrate from mold in the part in which said substrate of said 1st half-object is laid.

[0024] moreover -- invention according to claim 13 -- semiconductor device manufacture according to claim 10 to 12 -- public funds -- in a mold, it is characterized by considering as the configuration which has the part to which the area surrounded with said 2nd half-object rather than the area of the upper part of said 1st half-object becomes large in the condition of having formed said cavity.

[0025] Moreover, in the semiconductor device concerning invention according to claim 14, it is characterized by providing the resin layer which is formed on the front face at least on the front face of the semiconductor device to which it comes to form a projection electrode directly, and said semiconductor device, leaves the point of said projection electrode, and closes said projection electrode and by which compression molding was carried out.

[0026] Moreover, in invention according to claim 15, it is characterized by arranging radiator material in the tooth back which serves as an opposite hand to the front face in which said projection electrode of said semiconductor device is formed in a semiconductor device according to claim 14.

[0027] Moreover, in invention according to claim 16, it is characterized by arranging said closure resin in said back up plate beforehand in said resin seal process in the manufacture approach of a semiconductor device according to claim 7 or 8.

[0028] Moreover, in invention according to claim 17, in the manufacture approach of a semiconductor device according to claim 1 to 9, after forming the 1st resin layer in the front face of said substrate in which said projection electrode was arranged at said resin seal process, it is characterized by forming the 2nd resin layer simultaneously, so that the tooth back of said substrate may be covered.

[0029] Moreover, in invention according to claim 18, it is characterized by carrying out the projection electrode formation process for external connection which forms the projection electrode for external connection in either claim 1 thru/or 9, claim 16 or claim 17 at said projection electrode exposure process in the manufacture approach of the semiconductor device a publication at the point of said projection electrode after [ said projection electrode ] exposing a point from said resin layer at least.

[0030] Moreover, in invention according to claim 19, in the manufacture approach of a semiconductor device according to claim 18, it is said projection electrode formation process for external connection, and is characterized by joining said projection electrode and said projection electrode for external connection using the jointing material for corrugated fibreboard which has a stress relaxation function.

[0031] Moreover, in invention according to claim 20, it sets to claim 1 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 19. Before carrying out said resin seal process, the cutting location slot is formed in the location beforehand cut at said separation process of said substrate, and it is characterized by cutting said substrate in the formation location of said cutting location slot where it filled up with said closure resin in said separation process.

[0032] moreover, by the manufacture approach of the semiconductor device concerning invention according to claim 21 It equips with the substrate with which two or more semiconductor devices by which the exterior and the external connection electrode connected were formed in the front face were formed in metal mold. Then, the resin seal process which supplies closure resin to said front face, closes

said external connection electrode and said substrate by said closure resin, and forms a resin layer, It is characterized by providing the separation process which cuts said substrate with said resin layer in the location in which said external connection electrode was formed, and is divided into each semiconductor device.

[0033] Moreover, by invention according to claim 22, it is characterized by being share-ized between the adjoining semiconductor devices by which said external connection electrode was formed in said substrate before said separation process operation in the manufacture approach of a semiconductor device according to claim 21.

[0034] Moreover, in invention according to claim 23, in claim 1 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 22, it is after operation of said resin seal process at least, and before carrying out said separation process, it is characterized by forming a location notch in the tooth back of said resin layer or said substrate.

[0035] Moreover, in invention according to claim 24, said location notch is characterized by being formed by performing a half scribe at the tooth back of said resin layer or said substrate in the manufacture approach of a semiconductor device according to claim 23.

[0036] In invention according to claim 25, it sets to claim 3 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 20. Moreover, at said resin seal process It is characterized by using said projection electrode and the irregularity formed on said resin layer of said heights or crevice after termination of said resin seal process using that by which heights or a crevice was formed in the location in which it does not interfere as the positioning section as said film.

[0037] Moreover, in invention according to claim 26, in claim 1 thru/or either of 9, or the manufacture approach of a semiconductor device according to claim 16 to 20, the closure resin in the formation location of the projection electrode for positioning used as criteria of positioning is processed after termination of said resin seal process, and it is characterized by enabling it to identify said projection electrode for positioning, and other projection electrodes.

[0038] Moreover, the semiconductor device by which the external connection electrode connected to an external terminal and an electric target was formed in the front face, and the resin layer by which compression molding was carried out to the front face of said semiconductor device so that said external connection electrode might be covered provide, and said external connection electrode is characterized by to consider as the configuration exposed towards the side in the interface of said semiconductor device and said resin layer in the semiconductor device concerning invention according to claim 27.

[0039] Moreover, in invention according to claim 28, it is the mounting approach of a semiconductor device according to claim 27, and is characterized by mounting said semiconductor device in the state of a set-up to a mounting substrate.

[0040] Moreover, in invention according to claim 29, it is the mounting approach of a semiconductor device according to claim 28, and while mounting two or more said semiconductor devices in a juxtaposition condition, it is characterized by joining said adjoining semiconductor device comrade with adhesives.

[0041] Moreover, in invention according to claim 30, it is the mounting approach of a semiconductor device according to claim 28, and while mounting two or more said semiconductor devices in a juxtaposition condition, it is characterized by supporting said two or more semiconductor devices in the set-up condition using supporter material.

[0042] Moreover, in invention according to claim 31, it is the mounting approach of a semiconductor device given in either claim 14, claim 15 or claim 27, and is characterized by mounting said semiconductor device in a mounting substrate through an interpauser board.

[0043] Moreover, in the semiconductor device concerning invention according to claim 32, it is characterized by providing the 1st [ which is formed on the front face at least on the front face of the semiconductor device to which it comes to form a projection electrode directly and said semiconductor

device, leaves the point of said projection electrode, and closes said projection electrode ] resin layer by which compression molding was carried out, and the 2nd resin layer by which compression molding was carried out so that the tooth back of said semiconductor device might be covered at least.

[0044] Moreover, in the semiconductor device concerning invention according to claim 33, it is characterized by to provide the projection electrode for external connection which is formed on the front face at least on the front face of the semiconductor device to which it comes to form a projection electrode directly, and said semiconductor device, and was formed in the point of said projection electrode exposed from the resin layer which leaves the point of said projection electrode and closes said projection electrode, and by which compression molding was carried out, and said resin layer.

[0045] Moreover, the semiconductor device which comes to form a projection electrode on a front face at least, and the resin layer which is formed on the front face of said semiconductor device, leaves the point of said projection electrode, and closes said projection electrode and by which compression molding was carried out provide, and it is characterized by coming to form in the side face of said resin layer, and the side face of said semiconductor device the cutting plane cut by the dicer in the semiconductor device concerning invention according to claim 34.

[0046] Moreover, it is characterized by constituting from invention according to claim 35 in a semiconductor device according to claim 34, so that the side face of said resin layer and the side face of said semiconductor device may turn into the same flat surface.

[0047] Moreover, in invention according to claim 36, it is characterized by arranging radiator material in the tooth back which serves as an opposite hand to the front face in which said projection electrode of said semiconductor device is formed in a semiconductor device according to claim 34 or 35.

[0048] moreover, by the manufacture approach of the semiconductor device concerning invention according to claim 37 The resin seal process which equips with the substrate with which two or more semiconductor devices in which the projection electrode was arranged were formed in metal mold, supplies closure resin to the arrangement location of said projection electrode continuously, closes said projection electrode and said substrate by said closure resin, and forms a resin layer, So that the side face of said resin layer and the side face of said semiconductor device may serve as a projection electrode exposure process of said projection electrode at which a point is exposed from said resin layer at least with the same flat surface using a dicer It is characterized by providing the separation process which cuts said both substrates and said resin layers, and is divided into each semiconductor device.

[0049] Moreover, in invention according to claim 38, in the manufacture approach of a semiconductor device according to claim 37, it is said resin seal process, and a film is arranged between said projection electrodes and said metal mold, and it is characterized by constituting so that said metal mold may contact said closure resin through said film.

[0050] Moreover, in invention according to claim 39, in the manufacture approach of a semiconductor device according to claim 37 or 38, it is said resin seal process and is characterized by using sheet-like resin as closure resin.

[0051] Moreover, in invention according to claim 40, before equipping said metal mold with said substrate at said resin seal process in the manufacture approach of a semiconductor device given in either according to claim 37 to 39, it is characterized by equipping with the back up plate.

[0052] Moreover, the semiconductor device by which the external connection electrode connected to an external terminal and an electric target was formed in the front face in invention according to claim 41, Provide the resin layer by which compression molding was carried out to the front face of said semiconductor device so that said external connection electrode may be covered, and it sets to the interface of said semiconductor device and said resin layer. Said external connection electrode is the semiconductor device considered as the configuration exposed towards the side, and it is characterized by coming to form in the side face of said resin layer, and the side face of said semiconductor device the cutting plane cut by the dicer.



[0053] Moreover, in the semiconductor device concerning invention according to claim 42, the semiconductor device which comes to form a projection electrode on a front face at least, and the resin layer by which method compression molding of a wrap was carried out in the point of the front-face top of said semiconductor device and said projection electrode are provided, and it is characterized by coming to form in the side face of said resin layer, and the side face of said semiconductor device the cutting plane cut by the dicer.

[0054] Moreover, in invention according to claim 43, in the manufacture approach of a semiconductor device according to claim 1, it is said resin seal process and is characterized by arranging a film between said substrates and said metal mold.

[0055] moreover, by the manufacture approach of the semiconductor device concerning invention according to claim 44 The closure process which supplies a closure member to the arrangement location of said projection electrode of the substrate with which two or more semiconductor devices in which the projection electrode was arranged were formed, closes said projection electrode and said substrate by said closure member, and forms a closure layer, The hardening process which stiffens this closure member by heating said closure member, It is characterized by providing the projection electrode exposure process of said projection electrode at which a point is exposed from said closure layer at least, and the separation process which cuts said substrate with said closure layer, and is divided into each semiconductor device.

[0056] moreover, in the semiconductor device concerning invention according to claim 45 So that it may estrange to two or more electrode pads formed in the semiconductor device, and said electrode pad By being selectively arranged between two or more projection electrodes formed on said semi-conductor substrate, and said electrode pad and said projection electrode While carrying out method formation of a wrap of said electrode pad and said wiring at least on wiring which connects said electrode pad and said projection electrode, and the front face of said semiconductor device The resin layer which leaves the point of said projection electrode and closes said projection electrode and by which compression molding was carried out is provided, and it is characterized by coming to form in the side face of said resin layer, and the side face of said semiconductor device the cutting plane cut by the dicer.

[0057] Moreover, in invention according to claim 46, it is characterized by setting up the arrangement pitch of said projection electrode greatly to the arrangement pitch of said electrode pad in a semiconductor device according to claim 45.

[0058] Moreover, in the semiconductor device concerning invention according to claim 47, it is characterized by providing the resin layer which is formed on the front face at least on the front face of the semi-conductor wafer with which it comes to form a projection electrode directly, and said semi-conductor wafer, leaves the point of said projection electrode, and closes said projection electrode and by which compression molding was carried out.

[0059] Each above-mentioned means acts as follows.

[0060] According to the manufacture approach of the semiconductor device concerning invention according to claim 1, by carrying out a resin seal process, since it is delicate, the projection electrode with difficult handling and test will be in the condition of having been closed by the resin layer. This resin layer does so the function which eases the stress generated in the joint of a surface protection, and the electrode of a semiconductor device and a projection electrode.

[0061] At the continuing projection electrode exposure process, processing of a projection electrode to which a point is exposed from a resin layer at least is performed. Therefore, in the condition that the projection electrode exposure process was completed, a projection electrode will be in a connectable condition to the external circuit board etc. electrically.

[0062] Then, at the separation process carried out, the substrate with which the resin layer was formed is cut with a resin layer, and it separates into each semiconductor device. Thereby, each semiconductor device is completed. Therefore, since it is formed in a resin seal process, in case a resin layer mounts a semiconductor device, it becomes unnecessary to carry out restoration processing of the under-filling

resin, and, thereby, it can make mounting processing easy.

[0063] Moreover, since the arrangement side of the projection electrode of a substrate instead of the narrow place between a semiconductor device and a mounting substrate is supplied and mould shaping is carried out by metal mold, the closure resin used as a resin layer can form a resin layer certainly all over the arrangement side of a projection electrode.

[0064] Therefore, since a resin layer does a protection feature so to all projection electrodes, it can prevent certainly the destruction in the joint of a projection electrode and the electrode of a mounting substrate, and the joint of a projection electrode and the electrode of a semiconductor device in the time of heating, and can raise dependability.

[0065] moreover, the height of the resin [ according to invention according to claim 2 / resin / closure ] layer after closure processing -- the height of a projection electrode, and abbreviation -- by measuring in the amount used as equal height, in a resin seal process, surplus resin can flow out of metal mold, or the inconvenience to which it becomes impossible for closure resin to close a projection electrode certainly few conversely can be prevented.

[0066] Moreover, since a resin layer cannot touch metal mold directly by having arranged the film between a projection electrode and metal mold, and having constituted so that metal mold might contact closure resin through a film, while being able to improve a mold-release characteristic according to claim 3 and invention according to claim 38, it becomes usable [ the high high-reliability resin of adhesion without a release agent ]. Moreover, by pasting a film, a resin layer becomes possible [ using a film as a carrier ], and can contribute to manufacture automation of a semiconductor device.

[0067] Moreover, according to claim 4 and invention according to claim 39, a resin layer can be certainly formed in the whole substrate by having used sheet-like resin as closure resin. Moreover, since the time amount to which resin flows towards an edge from the center required when closure resin has been arranged in the center of a substrate can be shortened, time amount compaction of a resin seal process can be aimed at.

[0068] Moreover, since wearing of a film and the loading activity of closure resin can be done in package by arranging closure resin in the film beforehand before operation of a resin seal process according to invention according to claim 5, the increase in efficiency of an activity can be attained.

[0069] Moreover, according to invention according to claim 6, by arranging two or more closure resin in the film, and carrying out a resin seal process continuously by moving a film, automation of a resin seal process can be attained and the manufacture effectiveness of a semiconductor device can be raised.

[0070] Moreover, since the curvature of a proper in which a substrate has it while being able to prevent that a substrate deforms with the heat impressed at the time of a resin seal by equipping equipment with the back up plate beforehand at the resin seal process or stress is corrected according to claim 7 and invention according to claim 40, the yield of the semiconductor device manufactured can be raised.

[0071] Moreover, according to invention according to claim 8, by having selected the ingredient with the rate of heat dissipation good as the back up plate according to claim 7, the back up plate can be operated also as a heat sink, and the heat dissipation property of the semiconductor device manufactured can be raised.

[0072] Moreover, according to invention according to claim 9, as a means for which the point of the projection electrode covered with the resin layer is exposed, when a laser beam exposure or excimer laser is used, the point of a projection electrode can be exposed with an easily and sufficient precision. Moreover, when etching, mechanical polishing, or blasting is used, the point of a projection electrode can be exposed cheaply.

[0073] moreover, the semiconductor device manufacture concerning invention according to claim 10 -- public funds -- the female mold which constitutes metal mold according to the mold Since it is constituted by the 1st fixed half-object and the 2nd half-object considered as the configuration which can go up and down to this 1st half-object, By moving the 2nd half-object to the 1st half-object, in case a substrate is released from mold from metal mold, a mold release function can be given, and the

substrate with which the resin layer was therefore formed can be easily picked out from metal mold.

[0074] Moreover, while being able to make measuring of closure resin easy by having established the surplus resin clearance device which controls the pressure of closure resin while removing surplus resin to metal mold according to invention according to claim 11, closure processing of a projection electrode can be performed in the always proper amount of resin. Moreover, since the pressure of the closure resin in metal mold is controllable, the pressure of the closure resin broken at the time of shaping can be equalized, and generating of a void can be prevented.

[0075] Moreover, by according to invention according to claim 12, having formed the substrate in the part in which the substrate of the 1st female mold half object is laid, and having formed adsorption de\*\*\*\*\* immobilization / mold release device in the 1st female mold half object When carrying out adsorption actuation of the immobilization / mold release device, since it is fixed to the 1st female mold half object, a substrate can correct the curvature of a proper which a substrate has while being able to prevent that deformation of curvature etc. occurs in a substrate in resin seal processing. Moreover, when carrying out mold release actuation of the immobilization / mold release device, since a substrate is energized in the mold release direction from the 1st female mold half object, it can raise the mold-release characteristic from the metal mold of a substrate.

[0076] Moreover, according to invention according to claim 13, in the condition of having formed the cavity, by having considered as the configuration which has the part to which the area surrounded with the 2nd female mold half object rather than the area of the upper part of the 1st female mold half object becomes large, while being able to improve a mold-release characteristic, the level difference section can be easily formed by having made the configuration of the level difference section into the shape of a rectangle.

[0077] Moreover, since the resin layer which leaves a point and closes a projection electrode is formed in the semiconductor device according to the semiconductor device concerning invention according to claim 14, Since the function to protect at least the joint which a semiconductor device, a projection electrode, a mounting substrate, and these connect to a resin layer can be given and the resin layer is already formed in the semiconductor device before mounting processing, In case a semiconductor device is mounted, it becomes unnecessary to carry out restoration processing of the under-filling resin like before, and, thereby, mounting processing can be made easy.

[0078] Moreover, according to claim 15 and invention according to claim 36, by having arranged radiator material in the semiconductor device, while being able to raise the heat dissipation property of a semiconductor device, the reinforcement of a semiconductor device can be raised.

[0079] According to invention according to claim 16, moreover, by arranging closure resin in the back up plate beforehand in the resin seal process Moreover, since the location where it becomes possible to use the back up plate as some metal mold by using as a cavity the crevice formed in the back up plate, and closure resin touches direct metal mold can being few or completely be lost, If it is the former, clearance of the unnecessary resin adhering to the needed metal mold will become unnecessary, and simplification of the activity in a resin seal process can be attained.

[0080] Moreover, according to claim 17 and invention according to claim 32, after forming the 1st resin layer in the front face of a substrate in which the projection electrode was arranged at the resin seal process (or simultaneous), balance of the semiconductor device manufactured can be made good by having formed the 2nd resin layer so that the tooth back of this substrate might be covered.

[0081] That is, since coefficient of thermal expansion differs, a semiconductor device and closure resin have a possibility that a differential thermal expansion may occur in the top face and tooth back of a semiconductor device, and curvature may occur in a semiconductor device, with the configuration which arranged closure resin only on the surface of the semiconductor device (field in which the projection electrode was formed). However, by covering both the front faces and tooth backs of a semiconductor device by closure resin like this claim, the condition of the front face of a semiconductor device and a tooth back can be equalized, and balance of a semiconductor device can be made good. Thereby, it can

prevent that curvature occurs in a semiconductor device at the time of heat impression.

[0082] Moreover, it is also possible to select the resin which has a property which is different in the closure resin arranged in the underside of a semiconductor device and the closure resin arranged in the top face of a semiconductor device. For example, as closure resin which can select the thing of the property which can ease the stress impressed to a projection electrode as closure resin arranged in the front face in which the projection electrode was formed, and is arranged in a tooth back, when external force is impressed to a semiconductor device, it also becomes possible to select the thing of hard construction material which can protect a semiconductor device from this external force.

[0083] Moreover, according to claim 18 and invention according to claim 33, at a projection electrode exposure process, after [ a projection electrode ] exposing a point from a resin layer at least, the mounting nature when mounting the semiconductor device manufactured in a mounting substrate can be raised by having carried out the projection electrode formation process for external connection which forms the projection electrode for external connection in the point of a projection electrode.

[0084] That is, since a projection electrode is what is formed on the electrode formed in the semiconductor device, the configuration becomes small inevitably. Therefore, with the configuration used as an external connection terminal which connects this small projection electrode to a mounting substrate electrically, there is a possibility that a mounting substrate and a projection electrode may not be connected certainly.

[0085] However, since the projection electrode for external connection is the projection electrode and another object which are formed in the semiconductor device, it can be designed freely, and it can be fitted to the configuration of a mounting substrate. Therefore, the mounting nature of a semiconductor device and a mounting substrate can be raised by forming the projection electrode for external connection in the point of the projection electrode of the small configuration currently formed in the semiconductor device.

[0086] Moreover, according to invention according to claim 19, a projection electrode and the projection electrode for external connection are joined using the jointing material for corrugated fibreboard which has a stress relaxation function. Therefore, even if external force is impressed to the projection electrode for external connection and stress occurs, it can prevent that stress relaxation of this stress is carried out with the jointing material for corrugated fibreboard which intervenes between the projection electrode for external connection, and a projection electrode, and it is transmitted to a projection electrode. It can prevent by this that a damage occurs in a semiconductor device according to external force, and the dependability of a semiconductor device can be raised.

[0087] Moreover, according to invention according to claim 20, it can prevent that a crack occurs to a substrate and closure resin by cutting a substrate in the formation location of the cutting location slot where the cutting location slot was formed in the location beforehand cut at the separation process of a substrate in before carrying out a resin seal process, and closure resin was filled up with the separation process.

[0088] That is, when the configuration which does not form the cutting location slot which starts this claim temporarily is assumed, at a separation process, the substrate with which the resin layer of the shape of comparatively thin film was formed in the front face will be cut. Therefore, in this cutting process, a possibility that a crack may occur is in closure resin. Moreover, in a substrate, since big stress is impressed to a cutting location, there is a possibility that a crack may occur in a substrate with this stress.

[0089] However, this cutting location slot is filled up with closure resin in a resin seal process by forming a cutting location slot. And at a separation process, a substrate and closure resin are cut in the cutting location slot where it filled up with this closure resin. Under the present circumstances, in cutting location Mizouchi, since the thickness of closure resin is large, a crack does not generate it to closure resin by cutting processing.

[0090] Moreover, since the stress generated by cutting processing since closure resin has the operation

whose degree of hardness may absorb stress small to a substrate is impressed to a substrate in the condition that it was absorbed by closure resin and was able to weaken, that a crack occurs in a substrate can also prevent it.

[0091] Moreover, according to invention according to claim 21, in a resin seal process, an external connection electrode will be in the condition of having been covered with the resin layer, by forming a resin layer in the front face of a substrate in which two or more semiconductor devices by which the external connection electrode was formed in the front face were formed.

[0092] And at the separation process carried out continuously, a substrate is cut with a resin layer in the location in which the external connection electrode was formed, and it separates into each semiconductor device. Therefore, an external connection electrode will be in the condition of having exposed outside by the interface of a substrate and a resin layer in the separation location. Therefore, it becomes possible to connect a semiconductor device to a mounting substrate electrically with the external connection electrode exposed to the flank of this semiconductor device.

[0093] Moreover, a terminal area can be exposed outside from a resin layer only by cutting the substrate with which the resin layer was only formed in the location in which the external connection electrode was formed, and a semiconductor device can be manufactured very easily.

[0094] Moreover, according to invention according to claim 22, when an external connection electrode considers as the share-sized configuration between the adjoining semiconductor devices which were formed in the substrate, in two semiconductor devices which adjoin by performing one cutting processing, an external connection electrode can be exposed outside, respectively. Therefore, a semiconductor device can be manufactured efficiently. Moreover, since it can control that a garbage occurs in a substrate, efficient utilization of a substrate can be aimed at.

[0095] Moreover, in case test processing is performed to the semiconductor device which was after operation of a resin seal process at least, and was manufactured, for example by forming a location notch in the tooth back of a resin layer or a substrate before carrying out a separation process according to invention according to claim 23, a testing device can be equipped with a semiconductor device on the basis of this location notch. Moreover, it can do, although a location notch is formed in package to two or more semiconductor devices by forming a location notch before carrying out a separation process, and the formation effectiveness of a location notch can be raised.

[0096] Moreover, according to invention according to claim 24, since a location notch can form a location notch using the SUKURAIBINGU technique generally used at a separation process by being formed in the tooth back of a resin layer or a substrate by performing a half scribe, it can form a location notch with an easily and sufficient precision.

[0097] Moreover, according to invention according to claim 25, in a resin seal process, heights or a crevice is formed in a resin layer by using as a film a projection electrode and the thing by which heights or a crevice was formed in the location in which it does not interfere at a resin seal process. The irregularity formed on this resin layer can be used as the positioning section of the semiconductor device manufactured. Therefore, in case test processing is performed, for example to a semiconductor device, it becomes possible to equip a testing device with a semiconductor device on the basis of this heights or crevice.

[0098] Moreover, according to invention according to claim 26, it becomes possible to equip a testing device with a semiconductor device on the basis of this projection electrode for positioning by having processed the closure resin in the formation location of the projection electrode for positioning used as criteria of positioning after termination of a resin seal process, and having discernment-sized the projection electrode for positioning, and other projection electrodes. As [ change / the manufacturing facility of a semiconductor device / the closure resin treatment for discernment-izing the projection electrode for positioning can use the excimer laser used for example, at a projection electrode exposure process, etching, mechanical polishing, or blasting, and / moreover, / by this processing / greatly ]

[0099] Moreover, the semiconductor device by which the external connection electrode was formed in

the front face according to invention according to claim 27, By having considered as the configuration which constituted the semiconductor device by the resin layer which leaves the point of a projection electrode to this semiconductor device, and closes a projection electrode, and the external connection electrode exposed towards the side in the interface of a semiconductor device and a resin layer It becomes possible to mount a semiconductor device using an external connection electrode, without forming a projection electrode.

[0100] Thus, since a projection electrode is not formed, the configuration of a semiconductor device can be simplified and cost reduction can be planned. Moreover, since an external connection electrode is the configuration exposed to the flank of a semiconductor device, it can become possible [ mounting, where a semiconductor device is set up to a mounting substrate ], and can raise the packaging density of a semiconductor device.

[0101] Moreover, according to invention according to claim 28, the packaging density of a semiconductor device can be raised by mounting a semiconductor device in the state of a set-up to a mounting substrate.

[0102] Moreover, according to claim 29 and invention according to claim 30, it can become possible to carry out unitization of two or more semiconductor devices, and to treat them, therefore, mounting processing can be performed to a mounting substrate per unit at the time of mounting, and improvement in mounting effectiveness can be aimed at.

[0103] Moreover, since it becomes the configuration that an interpauser board intervenes between a semiconductor device and a mounting substrate according to invention according to claim 31, the degree of freedom which mounts a semiconductor device in a mounting substrate can be raised. That is, by using a multilayer-interconnection substrate, for example as an interpauser board, wiring can be taken about within an interpauser board and consistency of the electrode (a projection electrode, external connection electrode) of a semiconductor device and the electrode by the side of a mounting substrate can be planned easily.

[0104] Moreover, since the cutting plane cut by the dicer is formed in the side face of a resin layer, and the side face of a semiconductor device according to claim 34, claim 35, claim 37, claim 41, and invention according to claim 42, Since there are no remains of gate breaking compared with the configuration which piece[ of an individual ]-ized the semiconductor device using the gate breaking currently generally performed, while being able to improve the appearance of an appearance, it can prevent that a poor chip occurs in a resin layer according to gate breaking.

[0105] Moreover, according to invention according to claim 43, the mold-release characteristic after resin seal process termination can be raised.

[0106] moreover, two or more electrode pads which were formed in the semiconductor device according to claim 45 and invention according to claim 46 and two or more projection electrodes formed on the semi-conductor substrate -- alienation -- since it can arrange, a degree of freedom can be given to the arrangement location of a projection electrode.

[0107]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained with a drawing.

[0108] Drawing 1 thru/or drawing 8 show the manufacture approach of the semiconductor device which is the 1st example along with the manufacture procedure, and drawing 9 shows the semiconductor device 10 manufactured by the manufacture approach of the semiconductor device which is the 1st example.

[0109] First, the semiconductor device 10 used as the 1st example manufactured by the manufacture approach shown in drawing 1 R> 1 thru/or drawing 8 is explained using drawing 9 (A) and (B). If the profile of the semiconductor device 10 is carried out, it is considered as the semiconductor device 11, the bump 12 who becomes a projection electrode, and the very easy configuration which becomes by resin layer 13 grade.

[0110] An electronic circuitry is formed in a semi-conductor substrate, and, as for the semiconductor

device 11 (semiconductor chip), many bumps 12 are arranged in the field by the side of the mounting. The bump 12 is considered as the configuration arranged using the replica method for example, in the solder ball, and functions as an external connection electrode. In this example, the bump 12 is considered as the configuration directly arranged by the electrode pad (not shown) currently formed in the semiconductor device 11.

[0111] Moreover, the resin layer 13 (crepe shows) consists of thermosetting resin, such as polyimide and epoxy (thermoplastics, such as PPS, PEK, PES, and heat-resistant liquid crystal resin), and rear-spring-supporter formation is carried out all over the bump formation side face of a semiconductor device 11. Therefore, although the bump 12 currently arranged by the semiconductor device 11 will be in the condition of having been closed by this resin layer 13, a bump's 12 point is constituted so that it may expose from the resin layer 13. That is, the resin layer 13 is formed in the semiconductor device 11 so that it may leave a point and a bump 12 may be closed.

[0112] The semiconductor device 10 considered as the above-mentioned configuration serves as the so-called chip-size package structure where the overall magnitude is equal to the magnitude of the abbreviation semiconductor chip 11. Therefore, especially the semiconductor device 10 can respond to the needs of the miniaturization demanded in recent years enough.

[0113] Moreover, as described above, the semiconductor device 10 is considered as the configuration by which the resin layer 13 was formed on the semiconductor device 11, and the resin layer 13 of a parenthesis is made into the structure which left the point and closed the bump 12. For this reason, the delicate bump 12 will be held by the resin layer 13, and, therefore, this resin layer 13 will do so the same function as the under-filling resin 6 (refer to drawing 78 ) used conventionally.

[0114] That is, the destruction like the joint of about the joint of a semiconductor device 11, a bump 12, the mounting substrate 14, and the bump 12 and the connection electrode 15 and a bump 12, and a semiconductor device 11 can be prevented by the resin layer 13.

[0115] Drawing 9 (B) is drawing for explaining how to mount a semiconductor device 10 in the mounting substrate 14. In order to mount a semiconductor device 10 in the mounting substrate 14, it mounts, after positioning the connection electrode 15 and bump 12 who are formed in the mounting substrate 14.

[0116] Under the present circumstances, the resin layer 13 is considered as the configuration beforehand formed in the semiconductor device 11 before mounting processing at the semiconductor device 10. Therefore, in case mounting processing of the semiconductor device 10 is carried out at the mounting substrate 14, it becomes unnecessary to carry out restoration processing of the under-filling resin between a semiconductor device 11 and the mounting substrate 14, and, thereby, mounting processing can be made easy.

[0117] Moreover, in case a semiconductor device 10 is mounted in the mounting substrate 14, it heat-treats in order to join the solder bump 12 to the connection electrode 15, but since the bump 12 arranged by the semiconductor device 11 is held by the resin layer 13, even if a differential thermal expansion occurs between a semiconductor device 11 and the mounting substrate 14, she can ensure mounting processing.

[0118] Exfoliation seems furthermore, not to generate between a bump 12 and the connection electrode 15, since the bump 12 is held by the resin layer 13 even if the differential thermal expansion of a semiconductor device 11 and the mounting substrate 14 occurs, when heat is impressed after mounting a semiconductor device 10 in the mounting substrate 14. Therefore, the dependability in mounting of a semiconductor device 10 can be raised.

[0119] Then, the manufacture approach (the manufacture approach concerning the 1st example) of the semiconductor device 10 considered as the above-mentioned configuration is explained using drawing 1 R> 1 thru/or drawing 8 .

[0120] A semiconductor device 10 will be formed by carrying out a semiconductor device formation process, a bump formation process, a resin seal process, a projection electrode exposure process, a separation process, etc., if a profile is carried out. A semiconductor device formation process is a

process which performs circuit formation using a excimer laser technique etc. to a substrate among each of this process, and a bump formation process is a configuration which forms a bump 12 on the semiconductor device 11 by which circuit formation was carried out using the replica method etc.

[0121] Since this semiconductor device formation process and a bump formation process are carried out using a well-known technique and there is an important section of the invention in this application after a resin seal process, the following explanation shall explain only each process after a resin seal process.

[0122] Drawing 1 thru/or drawing 5 show the resin seal process.

[0123] A resin seal process is further subdivided by a substrate wearing process, a resin layer formation process, and the mold release process. the substrate 16 (wafer) with which many semiconductor devices 11 were formed by passing through a semiconductor device formation process and a bump formation process as first shown in drawing 1 when the resin seal process was started -- semiconductor device manufacture -- public funds -- a mold 20 is equipped.

[0124] the semiconductor device manufacture which serves as the 1st example here -- public funds -- the structure of a mold 20 (only henceforth metal mold 20) is explained.

[0125] If the profile of the metal mold 20 is carried out, it is constituted by a punch 21 and female mold 22. Besides the heater which is not illustrated is installed inside by both the mold 21 and the female mold 22, and it considers as the configuration which can carry out heating fusion of the closure resin 35 mentioned later.

[0126] The punch 21 is considered as the configuration which carries out rise-and-fall actuation with the lifting device which is not illustrated at the drawing Nakaya mark Z1 and Z 2-way. Moreover, the underside of a punch 21 is set to cavity side 21a, and this cavity side 21a is made into the flat side. Therefore, the configuration of a punch 21 is made into the very easy configuration, and can manufacture a punch 21 cheaply.

[0127] On the other hand, female mold 22 is constituted by the 1st female mold half object 23 and the 2nd female mold half object 24. The 1st female mold half object 23 is made into the configuration corresponding to the configuration of the above mentioned substrate 16, and is specifically set as the big path dimension a little from the path dimension of a substrate 16. The cavity side 25 formed in the top face of this 1st female mold half object 23 is equipped with a substrate 16. In this example, this 1st female mold half object 23 is considered as the fixed configuration.

[0128] Moreover, the 2nd female mold half object 24 is made into the abbreviation annular configuration so that the 1st female mold half object 23 may be surrounded. This 2nd female mold half object 24 is considered as the configuration which carries out rise-and-fall actuation to the 1st female mold half object 23 by the lifting device which is not illustrated at the drawing Nakaya mark Z1 and Z 2-way. Moreover, the inner circle wall of the 2nd female mold half object 24 is made into the cavity side 26, and the ramp 27 is formed in the up predetermined range of this cavity side 26 from the field which raises a mold-release characteristic.

[0129] In the condition immediately after initiation of a resin seal process, as shown in drawing 1 , the 2nd female mold half object 24 is in the condition of having upper-\*(ed) to Z 2-way, to the 1st female mold half object 23, and it is equipped with the substrate 16 therefore described above in the crevice (cavity) which the 1st and 2nd female mold half objects 23 and 24 collaborate and form. Under the present circumstances, it is equipped with a substrate 16 so that the field in which the bump 12 was formed may serve as an upside, and the bump 12 therefore formed in the substrate 16 in the wearing condition is in the condition of having countered with the punch 21.

[0130] If female mold 22 is equipped with a substrate 16 as mentioned above, while arranging in the condition that there is no distortion [ lower part / of a punch 21 ] by the film 30 continuously, closure resin 35 is laid on the bump 12 of a substrate 16.

[0131] A film 30 can use papers, such as polyimide, vinyl chloride, PC and Pet, \*\*\*\*\* resin, and a synthetic paper, metallic foils, or such composites, and the ingredient which does not deteriorate with



the heat impressed at the time of resin shaping mentioned later is selected. Moreover, the ingredient with which the film 30 used by this example has predetermined elasticity in addition to the above-mentioned thermal resistance is selected. Predetermined elasticity here means the elasticity which is extent which can be caved in by a bump's 12 point in a film 30 at the time of the closure mentioned later.

[0132] On the other hand, closure resin 35 is resin, such as polyimide and epoxy (thermoplastics, such as PPS, PEEK, PES, and heat-resistant liquid crystal resin), and uses the thing of a configuration of having fabricated this resin in the shape of a cylindrical shape in this example. Moreover, the installation location of closure resin 35 is selected by the abbreviation mid gear of a substrate 16 as shown in drawing 2 (it is the top view of female mold 22). The above is processing of a substrate wearing process.

[0133] In addition, in the above-mentioned substrate wearing process, before it is not limited after the timing which arranges a film 30 equips female mold 22 with a substrate 16, and it equips female mold 22 with a substrate 16, it is good also as a configuration which arranges the film 30 beforehand.

[0134] After a substrate wearing process is completed as mentioned above, a resin layer formation process is carried out continuously. When the resin layer formation process was started, after checking having carried out temperature up to the temperature which closure resin 35 may fuse with heating by metal mold 20 (there is no need for a check when the height of closure resin 35 is sufficiently small in addition), 21 is lower-\*\*(ed) in the Zpunch 1 direction.

[0135] By lower-\*\*(ing) 21 in the Zpunch 1 direction, a punch 21 contacts the top face of the 2nd female mold half object 24 first. Under the present circumstances, since the film 30 is arranged by the lower part of a punch 21 as mentioned above, when a punch 21 contacts the 2nd female mold half object 24, as shown in drawing 3, a film 30 will be in the condition of having been clamped between a punch 21 and the 2nd female mold half object 24. At this event, the cavity 28 surrounded by each above mentioned cavity sides 24a, 25, and 26 is formed in metal mold 20.

[0136] Moreover, compression energization of the closure resin 35 is carried out through a film 30 by the punch 21 which lower-\*\*, and since temperature up of the closure resin 35 is carried out to the temperature which may be fused, as shown in this drawing, closure resin 35 will be in an extended state to some extent on a substrate 16.

[0137] If a punch 21 contacts the 2nd female mold half object 24, a punch 21 and the 2nd female mold half object 24 will perform lower \*\* in the Z1 direction in one after that, maintaining the condition of having clamped the film 30. Namely, both the punch 21 and the 2nd female mold half object 24 are lower-\*\*(ed) in the Z1 direction.

[0138] On the other hand, in order that the 1st female mold half object 23 which constitutes female mold 22 may maintain the condition of having been fixed, the volume of a cavity 28 decreases in connection with a punch 21 and the 2nd lower \*\* of the female mold half object 24, and therefore, resin shaping of the closure resin 35 will be carried out, being compressed within a cavity 28 (this resin fabricating method is called compression forming).

[0139] Since the closure resin 35 laid in the center of a substrate 16 is softened with heating and it is compressed by lower \*\* of a punch 21, closure resin 35 can be extended by the punch 21, and, specifically, runs towards a periphery from a mid gear. Thereby, the bump 12 currently arranged by the substrate 16 is closed from closure resin 35 towards the outside one by one from the mid gear.

[0140] Under the present circumstances, if a punch 21 and the 2nd lower \*\*\*\*\* of the female mold half object 24 are quick, the compression pressure by compression molding will become high, it is possible that breakage occurs by the bump 12, and if a punch 21 and the 2nd lower \*\*\*\*\* of the female mold half object 24 are slow, the decline in manufacture effectiveness etc. will occur. Therefore, a punch 21 and the 2nd lower \*\*\*\*\* of the female mold half object 24 are selected by proper lower \*\*\*\*\* which neither of above-mentioned opposite trouble generates.

[0141] The above-mentioned punch 21 and the 2nd lower \*\* of the female mold half object 24 are performed until the clamped film 30 will be in the condition that a pressure welding is carried out to the

bump 12 formed in the substrate 16. Moreover, where the pressure welding of the film 30 is carried out to a bump 12, closure resin 35 is constituted so that all the bumps 12 and substrates 16 that were formed in the substrate 16 may be closed. Drawing 4 R> 4 shows the condition that the resin layer formation process was completed. Where a resin layer formation process is completed, since the pressure welding of the film 30 is carried out towards the substrate 16, a bump's 12 point will be in the condition of having sunk into the film 30. Moreover, the resin layer 13 which closes a bump 12 is formed by arranging closure resin 35 all over a substrate 16.

[0142] Moreover, the amount of resin of closure resin 35 is measured beforehand, and when the resin layer formation process shown in drawing 4 is completed, it is set up so that the height of the resin layer 13 may spread a bump's 12 height, abbreviation, etc. and may become. Thus, by measuring the amount of resin of closure resin 35 in the proper amount which does not have excess and deficiency beforehand, in a resin layer formation process, surplus resin 35 can flow out of metal mold 20, or the inconvenience to which it becomes impossible for resin 35 to close a bump 12 and a substrate 16 certainly few conversely can be prevented.

[0143] Termination of a resin layer formation process carries out a mold release process continuously. At this mold release process, a punch 21 is first raised to Z 2-way. Under the present circumstances, since the location where the resin layer 13 contacted the ramp 27 formed in the 2nd female mold half object 24 is in the condition of having fixed, the substrate 16 and the resin layer 13 are in the condition of having been held at female mold 22. For this reason, when raising a punch 21, only a punch 21 will secede from a film 30 and will upper-\*\*.

[0144] Then, the 2nd female mold half object 24 is made to \*\*\*\*\* in the Z1 direction a little to the 1st female mold half object 23. The condition that the punch 21 upper-\*\*(ed) left-hand side [ center line / of drawing 5 ], and the 2nd female mold half object 24 \*\*\*\*\* (ed) a little is shown. Thus, the above mentioned ramp 27 and the above mentioned resin layer 13 can be made to estrange by making the 2nd female mold half object 24 lower-\*\* to the 1st female mold half object 23.

[0145] Thus, if a ramp 27 and the resin layer 13 estrange, the 2nd female mold half object 24 will start upper \*\* to Z 2-way continuously. Thereby, while the top face of the 2nd female mold half object 24 contacts a film 30, a ramp 27 contacts the side attachment wall of the resin layer 13, therefore, in connection with upper \*\* of the 2nd female mold half object 24, turns a substrate 16 upward and carries out migration energization.

[0146] Since the film 30 is maintaining the condition of having fixed with the resin layer 13, the substrate 16 with which the resin layer 13 was formed secedes from the 1st female mold half object 23 by upper-\*\*\*\*\* (ing) a film 30. Thereby, as shown on the right of the center line of drawing 5 , the substrate 16 with which the resin layer 13 was formed is released from mold from metal mold 20.

[0147] In addition, although the part which the 1st female mold half object 23 and resin layer 13 fixed exists in the example shown in drawing 5 , the substrate 16 with which the resin layer 13 was formed can be made to release from mold certainly from the 1st female mold half object 23, when the fixing force is weak since this fixing field is narrow, and the 2nd female mold half object 24 therefore upper-\*\*.

[0148] At the resin seal process which starts this example as mentioned above, compression molding of the resin layer 13 is carried out using metal mold 20 in a resin layer formation process. Moreover, the narrow place between a semiconductor device 1 and the mounting substrate 5 is not filled up with the closure resin 35 used as the resin layer 13 like before (refer to drawing 78 ), but it is laid on the field in which the bump 12 of a substrate 16 was arranged, and mould shaping is carried out.

[0149] For this reason, it becomes possible to be able to form the resin layer 13 certainly covering the whole field in which the bump 12 of a substrate 16 is formed, and to form the resin layer 13 in a narrow part equal to the abbreviation bump's 12 height certainly. Thereby, since all the bumps 12 currently formed in the substrate 16 are certainly closed by the resin layer 13, they become possible [ holding all the bumps 12 certainly by the resin layer 13 ]. Therefore, in the time of heating explained using drawing 9 , the destruction in the joint of a bump 12 and the mounting substrate 14 can be prevented certainly,

and the dependability of a semiconductor device 10 can be raised.

[0150] Moreover, as described above, the female mold 22 which constitutes metal mold 20 is constituted by the 1st fixed female mold half object 23 and the 2nd female mold half object 24 considered as the configuration which can go up and down to this 1st female mold half object 23. For this reason, after forming the resin layer 13, by carrying out rise-and-fall actuation of the 2nd female mold half object 24 to the 1st female mold half object 23, a mold release function can be given to metal mold 20, and the substrate 16 with which the resin layer 13 was formed can be easily picked out from metal mold 20.

[0151] Termination of the above-mentioned resin seal process carries out a projection electrode exposure process continuously. Drawing 6 and drawing 7 show the projection electrode exposure process. When a resin seal process is completed, as shown in drawing 6, the film 30 is in the condition of having fixed with the resin layer 13. Moreover, since the film 30 is constituted by the ingredient in which elasticity is possible, it is in the condition that the resin layer 13 was formed, and a bump's 12 point is in the condition of having sunk into the film 30. Namely, a bump's 12 point is in the condition of not being covered with the resin layer 13 (this condition is expanded to drawing 6 (B), and is shown).

[0152] At the projection electrode exposure process concerning this example, as shown in drawing 7 R> 7 (A), processing which exfoliates the film 30 which fixed in the resin layer 13 from the resin layer 13 is performed. Thus, a bump's 12 point made into the condition of having sunk into the film 30 will be exposed from the resin layer 13 so that a film 30 may be expanded to drawing 7 (B) and by exfoliating from the resin layer 13 may show it. Therefore, it becomes possible to perform mounting processing using the point of this exposed bump 12.

[0153] Thus, the projection electrode exposure process concerning this example is easy processing in which a film 30 is only exfoliated from the resin layer 13. For this reason, projection electrode exposure processing can be performed easily and efficiently.

[0154] Moreover, as described above, in case metal mold 20 is equipped with a film 30, the film 30 is arranged so that there may be no distortion, and cavity side 24a of a punch 21 is made into the flat configuration. Furthermore, the film 30 has uniform quality and has uniform elasticity on the whole surface. therefore, the time of a bump 12 sinking into a film 30 in a resin seal process -- the -- it caves in and an amount serves as homogeneity.

[0155] The exposure of the bump 12 who exposes a film 30 from the resin layer 13 at a projection electrode exposure process by this when it exfoliates from the resin layer 13 becomes uniform, and fixed-izing of the quality of a semiconductor device 10 and equalization of junction nature with the connection electrode 15 at the time of mounting can be attained.

[0156] In addition, although the above-mentioned explanation showed the configuration to which a bump 12 exposes a film 30 thoroughly from the resin layer 13 at a projection electrode exposure process when it exfoliates from the resin layer 13 the condition of having exfoliated the film 30 -- a bump's 13 head -- a pole -- thin -- coming out -- by [ good as a configuration covered with the resin film (closure resin 35) ] considering as this configuration, although it is Since the resin film protects the upper bed section of the bump 13 who has a delicate property, when a bump 13 contacts the open air, it can prevent degradation of oxidation occurring.

[0157] Moreover, in case a bump 13 is mounted in a mounting substrate, since this resin film becomes unnecessary, it is necessary to remove it. As long as timing which removes this resin film is before mounting it in a mounting substrate, it may be performed to any timing.

[0158] Termination of the above-mentioned projection electrode exposure process carries out a separation process continuously.

[0159] Drawing 8 shows the separation process. As shown in this drawing, at a separation process, a substrate 16 is cut with the resin layer 13 using a dicer 29 every semiconductor device 11. The semiconductor device 10 shown in drawing 9 explained previously by this is manufactured.

[0160] In addition, generally the dicing processing using a dicer 29 is not adopted in the production process of a semiconductor device, and is not accompanied especially by difficulty. Moreover, although

the resin layer 13 is formed in the substrate 16, the dicer 29 has the capacity that the resin layer 13 can also fully be cut.

[0161] then, the semiconductor device manufacture which is the manufacture approach of a semiconductor device and the 2nd example which are the 2nd example using drawing 10 -- public funds -- it mold 20A (only henceforth metal-mold 20A) attaches and explains. In addition, in drawing 10 , about the same configuration as the configuration concerning the 1st example previously explained using drawing 1 thru/or drawing 9 , the same sign is attached and the explanation is omitted.

[0162] First, metal mold 20A concerning this example is explained.

[0163] It is constituted by a punch 21 and female mold 22A if the profile also of the metal mold 20A concerning this example is carried out. The 1st female mold half object 23 which constitutes a punch 21 and female mold 22A is considered as the same configuration as what was shown in the 1st example. However, in this example, it is characterized by forming the surplus resin clearance device 40 in which surplus resin is removed in 2nd female mold half object 24A.

[0164] If the profile of the surplus resin clearance device 40 is carried out, it is constituted by opening 41, the pot section 42, and pressure-control rod 43 grade. Opening 41 is opening formed in a part of ramp 27 formed in 2nd female mold half object 24A, and this opening 41 is considered as the pot section 42 and the configuration which was open for free passage.

[0165] The pot section 42 has cylinder structure and the interior of this pot section 42 is equipped with the pressure-control rod 43 made into piston structure possible [ sliding ]. It connects with the drive which is not illustrated and this pressure-control rod 43 is considered as the configuration in which rise-and-fall actuation is possible to 2nd female mold half object 24A at the drawing Nakaya mark Z1 and Z 2-way.

[0166] Then, the manufacture approach of the semiconductor device concerning the 2nd example enforced using metal mold 20A possessing the surplus resin clearance device 40 considered as the above-mentioned configuration is explained. In addition, in the 2nd example, since it has the description at the resin seal process among semi-conductor production processes, only this resin seal process shall be explained.

[0167] Initiation of the resin seal process concerning this example carries out a substrate wearing process. At a substrate wearing process, as shown in drawing 1010 (A), metal mold 20A is equipped with a substrate 16.

[0168] As shown in this drawing, the pressure-control rod 43 which 2nd female mold half object 24A is in the condition of having upper-\*\*(ed) to Z 2-way, to the 1st female mold half object 23, and constitutes the surplus resin clearance device 40 from a condition immediately after initiation of a resin seal process is in the condition of having moved to upper \*\*\*\*.

[0169] If female mold 22A is equipped with a substrate 16 as mentioned above, while arranging a film 30 in the lower part of a punch 21 continuously, closure resin 35 is laid on the bump 12 of a substrate 16.

[0170] Termination of the above-mentioned substrate wearing process carries out a resin layer formation process continuously. When a resin layer formation process is started, 21 is lower-\*\*(ed) in the Z punch 1 direction, as shown in drawing 10 R> 0 (B) by this, a punch 21 and 2nd female mold half object 24A contact, and a film 30 will be in the condition of having been clamped.

[0171] Although the cavity 28 surrounded by each cavity sides 24a, 25, and 26 is formed in metal mold 20A at this event, the opening 41 which constitutes the above mentioned surplus resin clearance device 40 is in the condition of having carried out opening to this cavity 28.

[0172] If a punch 21 contacts 2nd female mold half object 24A, a punch 21 and female mold half object 24 of \*\* 2nd A will perform lower \*\* in the Z1 direction in one after that, maintaining the condition of having clamped the film 30. Thereby, resin shaping of the resin 35 is carried out, being compressed within a cavity 28.

[0173] Under the present circumstances, in order to prevent generating of the breakage to a bump 12 and to fill up all the fields of a cavity 28 with resin 35 proper, it is as having mentioned above that it is

necessary to select lower \*\*\*\*\* of a punch 21 and female mold half object 24 of \*\* 2nd A to proper lower \*\*\*\*\*. It is equivalent to rationalizing the compression pressure of the resin 35 in a cavity 28 to rationalize lower \*\*\*\*\* of a punch 21 and female mold half object 24 of \*\* 2nd A, if it puts in another way.

[0174] In this example, it considers as the configuration which can control the compression pressure of resin 35 also by carrying out vertical actuation of the pressure-control rod 43 in addition to lower \*\*\*\*\* of a punch 21 and female mold half object 24 of \*\* 2nd A by forming the surplus resin clearance device 40 in metal mold 20A. Therefore, the pressure of the closure resin 35 in a cavity 28 becomes high by making the pressure-control rod 43 lower-\*\* by the pressure of the closure resin 35 in a cavity 28 becoming low, and making the pressure-control rod 43 upper-\*\*.

[0175] For example, although, and there is a possibility that it may become impossible to perform proper resin shaping than the capacity of the resin layer 13 which the amount of resin of closure resin 35 tends to form when the pressure in a cavity 28 rises with surplus resin. In such a case, surplus resin is removable, as shown in drawing 10 (C) in the pot section 42 through opening 41 by making the pressure-control rod 43 of the surplus resin clearance device 40 lower-\*\* in the Z1 direction.

[0176] Therefore, by establishing the surplus resin clearance device 40, clearance processing of surplus resin can be simultaneously performed at the time of formation of the resin layer 13, it becomes possible to always carry out resin shaping by fixed compressive force, and the resin layer 13 can be formed proper. Moreover, while surplus resin can prevent revealing from metal mold 20A, since it may be low compared with the 1st example, the measuring precision of closure resin 35 can attain easy-ization of measuring of closure resin 35.

[0177] If a resin layer formation process is completed and the resin layer 13 is formed, a mold release process will be carried out continuously. Actuation of metal mold 20A in this mold release process is the same as that of the 1st example fundamentally. That is, while raising a punch 21 to Z 2-way first, 2nd female mold half object 24A is made to \*\*\*\*\* in the Z1 direction a little to the 1st female mold half object 23.

[0178] The condition that the punch 21 upper-\*\*(ed) left-hand side [ center line / of drawing 10 (D) ], and 2nd female mold half object 24A \*\*\*\*\* (ed) a little is shown. Thus, the above mentioned ramp 27 and the above mentioned resin layer 13 can be made to estrange by making 2nd female mold half object 24A lower-\*\* to the 1st female mold half object 23.

[0179] Moreover, in the case of this example, there is a possibility that weld flash may have occurred by having removed surplus resin in the formation location of opening 41 by establishing the surplus resin clearance device 40, but this weld flash is also removable 2nd female mold half object 24A or by lower-\*\*(ing).

[0180] Thus, if a ramp 27 and the resin layer 13 estrange, while 2nd female mold half object 24A starts upper \*\* to Z 2-way continuously and the top face of 2nd female mold half object 24A contacts a film 30 by \*\*\*\*\*, a ramp 27 will contact the resin layer 13 again, and migration energization of the substrate 16 will be carried out in the direction estranged from metal mold 20A. Thereby, as shown on the right of the center line of drawing 10 (D), the substrate 16 with which the resin layer 13 was formed is released from mold from metal mold 20A.

[0181] Moreover, by the manufacture approach concerning this example, since it can \*\* if the pressure in a cavity 28 is controlled in the existing constant-pressure force at the time of resin shaping, it can prevent that air remains in resin 35 and air bubbles (void) are generated in the resin layer 13. When the case where air bubbles are now generated in the resin layer 13 temporarily is assumed, there is a possibility that these air bubbles may expand at the time of heat-treatment, and the breakage on a crack etc. may occur in the resin layer 13.

[0182] However, since it can prevent that air bubbles are generated in the resin layer 13 by establishing the surplus resin clearance device 40 as mentioned above, there is no possibility that breakage may occur in the resin layer 13 at the time of heating, and it can raise the dependability of a semiconductor

device 10.

[0183] Then, the manufacture approach of the semiconductor device concerning the 3rd and 4th examples is explained.

[0184] Drawing 11 shows the manufacture approach of the semiconductor device concerning the 3rd example, and drawing 12 shows the manufacture approach of the semiconductor device concerning the 4th example.

[0185] In addition, the same sign is attached about the same configuration as the configuration concerning the 2nd example which attached the same sign about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9 in drawing 11 , and omitted the explanation, and was explained using drawing 10 in drawing 12 , and the explanation is omitted.

[0186] The manufacture approach concerning the 3rd and 4th examples is characterized by forming the resin layer 13, without using a film 30. For this reason, as shown in drawing 11 (A) and drawing 12 (A), unlike the 1st and 2nd above mentioned examples, the film 30 is not arranged by the lower part of a punch 21 in a substrate wearing process.

[0187] Therefore, in the resin layer formation process carried out following a substrate wearing process, as shown in drawing 11 (B), (C), and drawing 12 (B) and (C), a punch 21 will press direct closure resin 35, and will perform compression-molding processing. However, since cavity side 24a of a punch 21 is made into the flat side, it can perform shaping processing of the resin layer 13 in the good condition. In addition, since the processing in an exfoliation process is the same as the processing in the 1st or 2nd above mentioned example, the explanation is omitted.

[0188] As mentioned above, the resin layer 13 can be formed also as a configuration which does not arrange a film 30. However, by the manufacture approach by the 3rd and 4th examples, since the film 30 is not formed, where the resin layer 13 is formed, a bump 12 will be in the condition of having been thoroughly laid under the resin layer 13.

[0189] For this reason, the processing for exposing only a bump's 12 point is [ separate ] necessary at the projection electrode exposure process carried out after ending a resin seal process. In addition, about the processing for exposing only this bump's 12 point, it shall mention later on [ of explanation ] expedient.

[0190] Then, the manufacture approach of the semiconductor device which is the 5th example is explained.

[0191] Drawing 13 and drawing 14 show the manufacture approach of the semiconductor device which is the 5th example. In addition, the same sign is attached about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9 in drawing 13 and drawing 14 R> 4, and the explanation is omitted.

[0192] By the manufacture approach concerning this example, before equipping metal mold 20 with a substrate 16 at a substrate wearing process, as shown in drawing 13 (A), it is characterized by equipping the 1st female mold half object 23 with the back up plate 50. The ingredient which has a predetermined mechanical strength and heat dissipation nature is selected, and this back up plate 50 is constituted by the concrete for example, plate made from aluminum. Moreover, the path dimension of the back up plate 50 is set up so that it may become large a little from the path dimension of a substrate 16. Moreover, thermosetting adhesives (not shown) are applied to the front face of this back up plate 50.

[0193] A resin seal process seems not to become troublesome even if it can perform it very easily since wearing to the metal mold 20 of the back up plate 50 considered as the above-mentioned configuration is only an activity which only lays the back up plate 50 on the 1st female mold half object 23, and it forms the back up plate 50.

[0194] Then, the function of the back up plate 50 in a resin seal process is explained.

[0195] If a substrate wearing process is completed and a resin layer formation process is started, as described above, a punch 21 and the 2nd female mold half object 24 will lower-\*\*, and closure

processing of the bump 12 by closure resin 35 will be started. At this time, temperature up of the metal mold 20 is carried out to the temperature which is extent which closure resin 35 may fuse. Moreover, the thermosetting above mentioned adhesives are selected by the construction material which heat-hardens at comparatively low temperature. Therefore, the back up plate 50 is comparatively pasted up and united with a substrate 16 after a resin layer formation process's beginning for a short time. In addition, the back up plate 50 is good also as a configuration beforehand pasted up on the substrate 16. [0196] By the way, as shown in drawing 13 (B) and (C), also in this example, formation of the resin layer 13 is performed using compression forming. By the approach of forming the resin layer 13 by this compression forming, in order to press closure resin 35 and the fused resin 35 by the punch 21, a big pressure acts on a substrate 16.

[0197] Moreover, in order to form the resin layer 13, it is necessary to carry out melting of the closure resin 35, and for this reason, the heater is built into metal mold 20. The heat which this heater generates is impressed also to the substrate 16 with which it was equipped in metal mold 20. Therefore, a substrate 16 may deform with the heat which the pressure and heater by the above-mentioned compression formation generate. However, in this example, in the substrate wearing process, before equipping metal mold 20 with a substrate 16, it equips with the back up plate 50, and since this back up plate 50 is considered as the configuration joined to a substrate 16, in the resin layer formation process, the substrate 16 has composition reinforced by the back up plate 50. For this reason, even if the heat at the pressure by compression formation or a heater is impressed to a substrate 16, it can prevent that a substrate 16 deforms and the yield of the semiconductor device therefore manufactured can be raised.

[0198] Formation of the resin layer 13 ends drawing 14 , and the substrate 16 in the condition of having been released from mold from metal mold 20 is shown. As shown in this drawing, in the condition of having released the substrate 16 from mold from metal mold 20, the back up plate 50 is maintaining the condition of having pasted the substrate 16. And at the separation process (refer to drawing 8 ) carried out after a resin layer formation process is completed, this back up plate 50 is also doubled and it is cut by the dicer 29.

[0199] Thereby, the back up plate 50 also becomes each semiconductor device with the arranged configuration. Moreover, as described above, since the ingredient with heat dissipation nature good [ the back up plate 50 ] is selected, after separating into each semiconductor device, the back up plate 50 will function as a heat sink. For this reason, the heat dissipation property of the semiconductor device manufactured by the manufacture approach concerning this example can be raised.

[0200] Drawing 15 thru/or drawing 17 show the modification of each above mentioned example. In addition, the same sign is attached about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9 in each drawing, and the explanation is omitted.

[0201] In each above mentioned example, it was considering as the configuration which lays on the substrate 16 to which closure resin was carried out, and which was equipped with this by metal mold 20 and 20A using closure resin 35, and performs a resin seal. The modification which drawing 15 thru/or drawing 17 show shows other supply modes of closure resin.

[0202] In the example shown in drawing 15 , it is characterized by using sheet-like resin 51 as closure resin. Thus, by using sheet-like resin 51, the resin layer 13 can be certainly formed in the whole substrate 16.

[0203] Moreover, closure resin 35 is arranged in the center of a substrate 16, and since the fused resin needs to flow towards an edge from a center, a case will take cycle time for a long time. On the other hand, since sheet-like resin 51 is arranged so that the upper part of a substrate 16 may be covered, the fused resin will close the bump 12 located in the direct lower part, without flowing. For this reason, since the time amount which resin seal processing takes can be shortened, time amount compaction of a resin seal process can be aimed at.

[0204] Moreover, in the example shown in drawing 16 , it is characterized by using liquefied resin 52 as closure resin. Since liquefied resin 52 has the high fluidity, it can close a bump 12 certainly in a short

time.

[0205] Furthermore, in the example shown in drawing 17, it is characterized by using adhesives 53 and arranging closure resin 35A in a film 30 beforehand, before operation of a resin seal process. In addition, it is good also as a configuration which arranged this closure resin 35 in the film 30, and arranged closure resin 35 in the film 30 by making it solidify after that after fusing closure resin 35.

[0206] Thus, by arranging closure resin 35A in the film 30 instead of a substrate 16 top, in a substrate wearing process, wearing of a film 30 and the loading activity of closure resin 35A can be done in package, and the increase in efficiency of a substrate wearing activity can be attained.

[0207] Then, the manufacture approach of the semiconductor device which is the 6th example is explained.

[0208] Drawing 18 shows the resin seal process in the manufacture approach which is the 6th example. In addition, in drawing 18, the same sign is attached about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9, and the explanation is omitted.

[0209] Previously, how to arrange one closure resin 35A in the film 30 beforehand before operation of a resin seal process using drawing 17 was explained. On the other hand, in this example, it is characterized by setting and carrying out a large number per-continuum arrangement of the closure resin 35A for predetermined spacing at a film 30. Moreover, the film 30 is considered as the configuration conveyed in the drawing Nakaya mark direction by the transport device which is not illustrated.

[0210] In drawing 18 (A), the substrate 16 with which the resin layer 13 was formed is located on the left of metal mold 20, and when the resin layer 13 fixes on a film 30, it is in the condition that the film 30 was equipped also with the substrate 16. Moreover, as for closure resin 35A located in the interior of metal mold 20, resin seal processing is performed this time. Furthermore, closure resin 35A located on the right of metal mold 20 is used in next resin seal processing.

[0211] The condition which shows in drawing 18 (A) shows the condition that the substrate wearing process was completed, and the substrate 16 is already in the condition that metal mold 20 was equipped. Moreover, in this example, before equipping with a substrate 16, the approach of equipping with the back up plate 50 is mentioned as the example.

[0212] If a substrate wearing process is completed and a resin seal process is started, as shown in drawing 18 (B), a punch 21 and the 2nd female mold half object 24 will be lower-\*(ed), and processing which closes a bump 12 by closure resin 35A will be performed. And when a punch 21 and the 2nd female mold half object 24 lower-\*( further, as shown in drawing 18 (C), the resin layer 13 is formed on a substrate 16.

[0213] After a resin seal process is completed, the same mold release process is carried out with having explained using drawing 5 previously, and the substrate 16 with which the resin layer 13 was formed is released from mold from metal mold 20. Under the present circumstances, as described above, when the resin layer 13 fixes on a film 30, it is in the condition that the film 30 was equipped also with the substrate 16.

[0214] After a resin seal process is completed as mentioned above, the transport device of a film 30 starts continuously and a film 30 is conveyed to the location where metal mold 20 is equipped with the following closure resin 35A. moreover, metal mold 20 is equipped with the back up plate 50 and a substrate 16 (that in which the resin layer 13 is not formed) to metal mold 20 with the conveyance actuation by this film 30 (namely, a substrate wearing process -- carrying out), and it will be in the condition that this shows again drawing 18 R> 8 (A). Henceforth, the above-mentioned processing is repeated and carried out.

[0215] as mentioned above, spacing of extent which does not become obstructive about closure resin 35A at the time of resin seal processing according to the approach concerning this example -- alienation -- it can become possible to carry out a resin seal process continuously, and, therefore, the manufacture effectiveness of a semiconductor device can raise by arranging, moving a film 30, when resin seal processing is completed, and carrying out automatic wearing of the closure resin 35A which



performs resin seal processing next at metal mold 20.

[0216] Then, the manufacture approach of the semiconductor device which is the 7th example is explained.

[0217] Drawing 19 thru/or drawing 21 are drawings for explaining the manufacture approach of the semiconductor device which is the 7th example. In addition, in drawing 19 thru/or drawing 21, the same sign shall be attached about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9, and the explanation shall be omitted.

[0218] By the manufacture approach concerning the 1st above mentioned example, it was considering as the configuration in which a bump's 12 point is exposed only by exfoliating a film 30 from the resin layer 13 at a projection electrode exposure process by selecting the thing of the construction material in which elastic deformation is possible as a film 30, and therefore sinking a bump's 12 point into a film 30 at the time of compression molding in a resin seal process.

[0219] However, a bump's 12 point is difficult for selection of the film 30 with elasticity into which only an amount sinks suitably. Moreover, it expands and contracts at the time of conveyance, and as shown in drawing 18, when a film 30 is used also as a carrier for conveyance, with the film 30 in which elastic deformation is possible, there is a possibility that conveyance processing of a substrate 16 and closure resin 35A cannot be performed proper.

[0220] So, in order to solve such a trouble, it will be necessary to use film (for it to indicate hereafter "elastic deformation is not carried out" collectively) 30A which does not perform elastic deformation or hardly performs elastic deformation. In this example, the construction material which does not carry out elastic deformation as film 30A is selected. However, even if it uses the construction material which does not carry out elastic deformation as film 30A, processing performed at a resin seal process can be similarly carried out with drawing 1 thru/or drawing 5 having explained.

[0221] Drawing 19 thru/or drawing 21 show the projection electrode exposure process in this example. When a resin seal process is completed, as shown in drawing 19, film 30A is in the condition of having fixed with the resin layer 13. However, since film 30A is constituted by the ingredient which does not carry out elastic deformation, where the resin layer 13 is formed, a bump 12 will not be in the condition of having sunk into the film 30, therefore the bump 12 is in the condition that that whole was closed by the resin layer 13 (this condition is expanded to drawing 19 (B), and is shown).

[0222] In this condition, processing which exfoliates film 30A which fixed in the resin layer 13 as shown in drawing 20 (A) from the resin layer 13 is performed. However, a bump 12 maintains the condition that the whole was closed by the resin layer 13 so that it may expand to drawing 20 (B) and film 30A may be shown, even if it exfoliates from the resin layer 13.

[0223] Moreover, the condition that the whole bump 12 shown in this drawing 20 (B) was closed by the resin layer 13 is generated when the resin seal process which does not use the films 30 and 30A previously explained using drawing 11 R> 1 and drawing 12 is carried out.

[0224] Thus, after the whole bump 12 has been closed by the resin layer 13, even if it carries out separation processing of this and forms a semiconductor device, electrical installation with the mounting substrate 14 cannot be performed. Therefore, the processing for exposing a bump's 12 point from the resin layer 13 is needed. Drawing 21 (A) shows the approach for exposing a bump's 12 point from the resin layer 13.

[0225] In this example, as shown in drawing 21 (A), laser radiation equipment 60 is used as a means for which a bump's 12 point is exposed from the resin layer 13. As laser radiation equipment 60, the activity of the carbon dioxide gas laser with good workability to resin can be considered, for example.

[0226] Moreover, the cut depth of the resin layer 13 by laser radiation equipment 60 can be adjusted by setting up the energy of laser radiation equipment 60 suitably. Therefore, the amount of heads of the bump 12 who makes it expose from the resin layer 13 can be set up with a sufficient precision.

[0227] As shown in drawing 21 (A), all the bumps' 12 point can be exposed from the resin layer 13 by making a laser beam operate it on the resin layer 13 using laser radiation equipment 60. Laser-beam-

machining processing ends drawing 21 (B), and the condition that a bump's 12 point was exposed from the resin layer 13 is shown.

[0228] Thus, whether it uses the thing of the construction material which does not carry out elastic deformation as film 30A by performing processing to which a bump's 12 point is exposed from the resin layer 13 or is the case where the resin seal process which does not use the films 30 and 30A explained using drawing 11 and drawing 12 is carried out, the semiconductor device which can perform mounting processing proper to the mounting substrate 14 can be manufactured.

[0229] In addition, the processing to which a bump's 12 point is exposed from the resin layer 13 is not limited to a laser beam exposure, and can consider utilization of excimer laser, etching, mechanical polishing, blasting, etc. In this case, when excimer laser is used, the point of a projection electrode can be exposed with an easily and sufficient precision. Moreover, when etching, mechanical polishing, or blasting is used, the point of a projection electrode can be exposed cheaply.

[0230] Then, the other examples of the metal mold for semiconductor device manufacture are explained using drawing 22 thru/or drawing 25.

[0231] Drawing 22 shows metal mold 20C for semiconductor device manufacture (henceforth metal mold 20C) which is the 3rd example. In addition, in drawing 22 thru/or drawing 25 explained below, the same sign is attached about the same configuration as the metal mold 20 concerning the 1st example shown in drawing 1, and the explanation is omitted.

[0232] Metal mold 20C for semiconductor device manufacture concerning this example is characterized by forming immobilization / mold release device 70 in which 1st female mold half object 23C is made to fix or release this substrate 16 from mold in the part in which the substrate 16 of 1st female mold half object 23C is laid. If the profile of this immobilization / mold release device 70 is carried out, it is constituted by the porosity member 71, pumping equipment 73, and \*\*\*\*\* 74 grade.

[0233] The porosity member 71 is constituted by for example, the porosity ceramic or the porosity metal, and is considered as the configuration whose gas (for example, air) can pass through the interior. This porosity member 71 sets predetermined spacing to the part in which the substrate 16 of 1st female mold half object 23C is laid, and is arranged in it. [ two or more ]

[0234] Moreover, piping 73 is formed in the lower part of the porosity member 71, respectively, and this piping 73 is considered as the configuration connected to air-supply-and-exhaust equipment 72 after gathering. It is a compressor and air-supply-and-exhaust equipment 72 is considered as the configuration which can perform a spawn process in the feeding mode which supplies the compressed air to piping 73, and the attraction mode in which attraction processing is performed to piping 73.

[0235] Therefore, when air-supply-and-exhaust equipment 72 serves as feeding mode, the compressed air is supplied to the porosity member 71 through piping 73, and is injected outside from the porosity member 71. When the substrate 16 is laid in 1st female mold half object 23C at this time, a substrate 16 will be energized in the balking direction. This condition is in the condition illustrated by drawing 22 on the right of a center line, and calls this condition a mold release condition below.

[0236] On the other hand, when air-supply-and-exhaust equipment 72 serves as attraction mode, air-supply-and-exhaust equipment 72 performs attraction processing through piping 73. Therefore, the negative pressure generated by this attraction processing is used as the porosity member 71 below. When the substrate 16 is laid in 1st female mold half object 23C at this time, a substrate 16 will be attracted towards the porosity member 71. This condition is in the condition illustrated by drawing 22 on the left of a center line, and calls this condition a fixed condition below.

[0237] As mentioned above, since a substrate 16 is fixed to 1st female mold half object 23C in a fixed condition by forming immobilization / mold release device 70 in metal mold 20C, it can prevent that deformation of curvature etc. occurs in a substrate 16 in resin seal processing. Moreover, the curvature of a proper which a substrate 16 has is also reformable. Furthermore, when it is in the mold release condition, since balking energization is carried out from 1st female mold half object 23C, a substrate 16 can raise the mold-release characteristic from metal mold 20C of a substrate 16.

[0238] Drawing 23 shows metal mold 20D for semiconductor device manufacture (henceforth metal mold 20D) which is the 4th example.

[0239] In the metal mold 20 concerning the 1st above mentioned example, the 1st female mold half object 23 is being fixed, and it considered as the configuration in which the 2nd female mold half object 24 carries out rise-and-fall actuation to the 1st female mold half object 23. On the other hand, 2nd female mold half object 24D is being fixed, and metal mold 20D concerning this example is characterized by considering as the configuration in which 1st female mold half object 23D carries out rise-and-fall actuation to 2nd female mold half object 24D.

[0240] The substrate 16 with which the resin layer 13 was certainly formed [ in / as a configuration in which 1st female mold half object 23D carries out rise-and-fall actuation to 2nd female mold half object 24D / the mold release process ] like this example can be made to release from mold from metal mold 20. In addition, in drawing 23 , the condition which 1st female mold half object 23D upper-\*\*(ed) is shown on the left of a center line, and it is in the condition which 1st female mold half object 23D lower-\*\*(ed) [ being shown on the right of a center line ].

[0241] Drawing 24 shows metal mold 20E for semiconductor device manufacture (henceforth metal mold 20E) which is the 5th example.

[0242] In the metal mold 20 concerning the 1st above mentioned example, it considered as the configuration which raises a mold-release characteristic by forming a ramp 27 in the inner circumference side attachment wall of the 2nd female mold half object 24. On the other hand, metal mold 20E concerning this example is set in the condition of having formed the cavity 28. By considering as the configuration which has the part to which the area surrounded by 2nd female mold half object 24E rather than the area of the upper part of the 1st female mold half object 23 becomes large, it has the composition that the rectangle-like level difference section 74 was formed in the part to which 2nd female mold half object 24E touches the 1st female mold half object 23.

[0243] As mentioned above, even if it forms the level difference section 74 in 2nd female mold half object 24E, a mold-release characteristic can be raised, and since the configuration of the level difference section 74 is an abbreviation rectangle-like, the level difference section 74 can be formed easily.

[0244] In addition, in drawing 24 , the condition by which it is shown on the left of a center line is in the condition which 2nd female mold half object 24E lower-\*\*(ed) from the resin seal location in order to secede from the resin layer 13, and the condition which the substrate 16 with which 2nd female mold half object 24E upper-\*\*(ed), and the resin layer 13 was formed released from mold from metal mold 20E is shown on the right of a center line.

[0245] the semiconductor device manufacture whose drawing 25 is the 6th example -- public funds -- mold 20F (henceforth metal mold 20F) are shown.

[0246] Metal mold 20F concerning this example are characterized by forming the adhesion processing film 75 in the contact surface with the resin layer 13 of punch 21F and female mold 22F (the 1st female mold half object 23 F, the 2nd female mold half object 24 F). Since the ingredient not adhering is selected, the resin with which this adhesion processing film 75 serves as the resin layer 13 can make the substrate 16 with which the resin layer 13 was therefore easily formed at the time of mold release release from mold from metal mold 20F.

[0247] Drawing 76 and drawing 77 show the modification of the 6th example. To the area of the top face of the 1st female mold half object 23, drawing 76 arranges film 30D in the top face of the 1st female mold half object 23, when the area of a substrate 16 is small. Closure resin 35 and the 1st female mold half object 23 can make small area which contacts directly by this, and a mold-release characteristic can be raised.

[0248] In addition, what is necessary is just to form the stoma (hole for vacuums) in the need part of film 30D beforehand in this example, in performing attraction processing which was previously explained using drawing 22 .

[0249] Moreover, drawing 77 shows the configuration whose area of the top face of the 1st female mold half object 23 and area of a substrate 16 spread abbreviation etc. and which was carried out. In each above mentioned example of \*\*\*\*, since the area of a substrate 16 was a small configuration, when resin seal processing was performed to the area of the top face of the 1st female mold half object 23, the resin layer 13 had become the configuration arranged also in the flank location (lateral portion) of a substrate 16.

[0250] On the other hand, the resin layer 13 serves as a configuration formed only in the top face of a substrate 16 by [ on which abbreviation etc. spreads the area of the top face of the 1st female mold half object 23, and the area of a substrate 16 ] carrying out. Thus, it becomes possible to arrange in the range which only the top face of a substrate 16 adds the resin layer 13 to the top-face section, and contains a lateral portion selectively according to the activity gestalt of a substrate 16.

[0251] In addition, with the configuration of drawing 77, the miscarriage processing film 75 (refer to drawing 25) was used about female mold 22 as a device which raises a mold-release characteristic about the punch 21, using a film 30.

[0252] Then, the semiconductor device which is the 2nd and 3rd examples is explained.

[0253] Drawing 26 shows semiconductor device 10A which is the 2nd example, and drawing 27 shows semiconductor device 10B which is the 3rd example. In addition, the same sign is attached and explained about the semiconductor device 10 concerning the 1st example shown in drawing 9 in drawing 26 and drawing 27, and a corresponding configuration.

[0254] Semiconductor device 10A concerning the 2nd example carries two or more semiconductor devices 11 in the stage member 80, and is considered as the configuration by which the modularization was carried out. Moreover, the resin layer 13 is considered as the configuration closed to the flank of each semiconductor device 11 while it leaves a point and closes a bump 12. Furthermore, the stage member 80 is formed with the good ingredient (for example, copper or aluminum) of heat dissipation nature.

[0255] Since the good ingredient of heat dissipation nature is used for semiconductor device 10A considered as the above-mentioned configuration as a stage member 80, even if it carries two or more semiconductor devices 11, it can maintain high heat dissipation nature.

[0256] Moreover, semiconductor device 10B concerning the 3rd example is characterized by forming the dam section 81 in the periphery flank of the stage member 80 in semiconductor device 10A shown in drawing 26. The height H2 (an arrow head shows among drawing 27) from the component loading side of the stage member 80 of this dam section 81 is constituted so that it may become high to the height H1 (an arrow head shows among drawing) from the component loading side of a semiconductor device 11.

[0257] furthermore, the height H2 from the component loading side of the stage member 80 of the dam section 81 -- the height H3 (an arrow head shows among drawing) from the component loading side of a semiconductor device 11 to a bump's 12 point -- receiving -- the specified quantity -- it is constituted so that it may become low.

[0258] If it is filled up with resin in order to form the resin layer 13 in the crevice constituted by the dam section 81 and the stage member 80 by considering as the above-mentioned configuration, when filled up with resin to the upper bed of the dam section 81, it can leave a bump's 12 point and a bump 12 can be closed. Therefore, if the resin layer 13 in the condition of having exposed a bump's 12 point is formed easily, it can \*\*.

[0259] Moreover, it can interconnect with this additional wiring and two or more semiconductor devices 11 can be made to functionalize by forming additional wiring in the top face of the resin layer 13 in the semiconductor devices 10A and 10B concerning the 2nd and 3rd above-mentioned examples.

[0260] Then, the 8th example is explained. Drawing 2828 is drawing for explaining the manufacture approach of the semiconductor device concerning the 8th example, and shows the substrate 16 in the condition that the resin seal process was completed. Moreover, drawing 28 (A) is the general drawing of



a substrate 16, and drawing 28 (B) is the elements on larger scale of a substrate 16. In addition, in drawing 28, the same sign shall be attached about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9, and the explanation shall be omitted.

[0261] By the manufacture approach of the semiconductor device concerning the 1st above mentioned example, it is considered as the configuration which formed the resin layer 13 with one kind of closure resin 35. By the way, the rigid resin of the resin layer 13 from a point which various functions are demanded of this resin layer 13, for example, protects a substrate 16 is more desirable, and the elasticity resin of the resin layer 13 is more desirable from the point which eases the stress impressed to a bump 12 in the time of mounting etc. However, it is actually impossible to satisfy these demands to one kind of resin altogether.

[0262] So, in this example, it is characterized by therefore forming the resin layers 13A and 13B of plurality (this example two sorts) using two or more closure resin which has a different property as closure resin used at a resin seal process. The example shown in drawing 28 shows the structure which accumulated and carried out the laminating of resin layer 13A and the resin layer 13B.

[0263] Thus, in order to form two or more resin layers 13A and 13B, it loads with the closure resin which becomes resin layer 13A in metal mold first at a resin seal process, and resin layer 13A is formed, next, in metal mold, it loads with the closure resin used as resin layer 13B, and resin layer 13B is formed. Or the closure resin of the structure which carried out the laminating of the closure resin used as resin layer 13B is created in the upper part of the closure resin beforehand set to resin layer 13A, and the approach of forming resin layer 13A and resin layer 13B in package by one resin seal processing may be used.

[0264] It becomes possible by carrying out the laminating of two or more resin layers 13A and 13B to a substrate 16 like this example to use elasticity resin as resin layer 13A located inside, using rigid resin as resin layer 13B located outside. When it considers as this configuration, a substrate 16 can absorb the stress which serves as a configuration certainly protected by resin layer 13B which consists of rigid resin, and is impressed to a bump 12 at the time of mounting etc. by resin layer 13A which consists of elasticity resin. Therefore, the dependability of the semiconductor device manufactured by the manufacture approach concerning this example can be raised.

[0265] Then, the 9th example is explained.

[0266] Drawing 29 is drawing for explaining the manufacture approach of the semiconductor device concerning the 9th example. In addition, in drawing 29, the same sign shall be attached about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9, and the explanation shall be omitted.

[0267] Also in this example, it is characterized by using the closure resin of plurality (this example two sorts) which has a different property as closure resin used at a resin seal process as well as the 8th above mentioned example. However, although it was the structure which carried out the laminating of the resin layers 13A and 13B which are mutually different in the 8th above mentioned example, in this example, it is characterized by considering as the structure which arranged resin layer 13B in the periphery location of a substrate 16, and arranged resin layer 13A in the part surrounded by this resin layer 13B (refer to drawing 29 (C)). Hereafter, the manufacture approach of the semiconductor device in this example is explained.

[0268] Drawing 29 (A) shows the resin seal process in the manufacture approach of the semiconductor device concerning this example. Although metal mold 20G used at the resin seal process concerning this example have the structure from which the upper and lower sides became reverse to the structure of the metal mold 20 explained using drawing 1 in the 1st example, they show each configuration of metal mold 20G for convenience by the metal mold 20 of explanation explained in the 1st example, the corresponding sign, and the name. Moreover, in this example, it has structure with the back up plate 50 as well as the 5th above mentioned example.

[0269] The 1st female mold half object 23 is equipped with the back up plate 50, and closure resin 35B used as closure resin 35A and resin layer 13B used as resin layer 13A is beforehand arranged in the underside (a substrate 16 and field which counters) of the back up plate 50. Closure resin 35A which closure resin 35B used as this resin layer 13B is arranged in the periphery location of the back up plate 50, and turns into resin layer 13A is arranged in that interior so that it may be surrounded by closure resin 35B. Furthermore, the substrate 16 with which the bump 12 was formed is laid on the punch 21 through the film 30.

[0270] If equipped with the back up plate 50 in which a substrate 16 and closure resin 35A and 35B were arranged as mentioned above in metal mold 20G, the 1st female mold half object 23 will move towards a punch 21, therefore compression molding of closure resin 35A and 35B will be carried out, and the resin layers 13A and 13B will be formed. Under the present circumstances, since closure resin 35B is arranged in the periphery location of the back up plate 50 as described above, and closure resin 35A is arranged so that it may be surrounded by closure resin 35B, in the condition that resin shaping was carried out, resin layer 13B is formed in the periphery location of a substrate 16, and resin layer 13A is formed so that it may be surrounded by closure resin 35B.

[0271] After the above-mentioned resin seal process is completed, as shown in drawing 29 (B), a projection electrode exposure process is carried out, a film 30 is removed, and semiconductor device 10C shown in drawing 29 (C) by this is formed.

[0272] According to the above-mentioned manufacture approach, it becomes possible to select rigid resin as resin layer 13B arranged in the periphery location of a substrate 16 (semiconductor device), for example, and to select elasticity resin as resin layer 13A surrounded by this resin layer 13B. Therefore, since semiconductor device 10C manufactured by this example serves as a configuration surrounded by resin layer 13B which that periphery flank becomes from rigid resin, a substrate 16 serves as structure certainly protected by the back up plate 50 and this resin layer 13B. Therefore, the dependability of semiconductor device 10C can be raised.

[0273] Moreover, since resin layer 13A located inside resin layer 13B is formed with elasticity resin, even if stress is impressed to a bump 12 at the time of mounting etc., this stress can be absorbed in resin layer 13A which consists of elasticity resin, and can be accumulated, and relaxation of the stress impressed to a bump 12 can be aimed at. Therefore, the dependability of semiconductor device 10C can be raised also by this.

[0274] Then, the 10th and 11th examples are explained.

[0275] Drawing 30 is drawing for explaining the manufacture approach of the semiconductor device concerning the 10th example, and drawing 31 is drawing for explaining the manufacture approach of the semiconductor device concerning the 11th example. In addition, in drawing 30 and drawing 31, the same sign shall be attached about the same configuration as the configuration concerning the 1st example explained using drawing 1 thru/or drawing 9 R> 9, and the 9th example explained using drawing 29, and the explanation shall be omitted.

[0276] By the manufacture approach concerning the 10th example shown in drawing 30, it is characterized by arranging closure resin 35 in the back up plate 50 beforehand in a resin seal process like the 9th above mentioned example. Moreover, by the manufacture approach concerning the 11th example shown in drawing 31, while forming a frame part 54 in back-up-plate 50A in one, it is characterized by arranging closure resin 35 in this back-up-plate 50A beforehand.

[0277] Thus, it becomes possible by arranging closure resin 35 in the back up plate 50 and 50A beforehand in the resin seal process to use the back up plate 50 and 50A as a part of metal mold 20G. Specifically, the back up plate 50 and 50A can be used as a part of 1st female mold half object 23.

[0278] Thereby, closure resin 35 can lessen area which touches the 1st female mold half object 23 (metal mold 20G) directly, clearance of the unnecessary resin adhering to the metal mold needed when it was the former can be made unnecessary, and simplification of the activity in a resin seal process can be attained.

[0279] Especially by the manufacture approach concerning the 11th example, by forming a frame part 54 in back-up-plate 50A, a crevice 55 is formed in the substrate 16 of back-up-plate 50A, and the location which counters, and it becomes possible to use this crevice 55 as a cavity. With the configuration using the plate-like back up plate 50 shown in drawing 30, closure resin 35 touches the 2nd female mold half object 24, and clearance of the unnecessary resin in this contact part is needed.

[0280] However, in the 11th example shown in drawing 31, closure resin 35 can consider as the configuration which cannot touch metal mold 30G at all, and can make completely unnecessary clearance of the unnecessary resin which therefore adhered to metal mold 20G.

[0281] Moreover, in the 10th and 11th above-mentioned examples, the heat dissipation property of semiconductor devices 10D and 10E can be raised by forming the back up plate 50 and 50A with the good name ingredient of heat dissipation nature. In addition, drawing 30 (B) shows semiconductor device 10D manufactured by the manufacture approach concerning the 10th example, and drawing 31 (B) shows semiconductor device 10E manufactured by the manufacture approach concerning the 11th example.

[0282] Then, the 12th example is explained.

[0283] Drawing 32 and drawing 33 are drawings for explaining the manufacture approach of the semiconductor device concerning the 12th example. In addition, in drawing 32 and drawing 33, the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9, and the explanation shall be omitted.

[0284] In a resin seal process, after the manufacture approach concerning this example forms the resin layer 13 (1st resin layer) in the front face of a substrate 16 in which the bump 12 was formed like each example first described above, it is characterized by forming the 2nd resin layer 17 in the tooth back of a substrate 16. Hereafter, the concrete resin seal processing in this example is explained using drawing 32 and drawing 33.

[0285] Drawing 32 (A) – drawing 32 (B) show the process which the bump 12 of a substrate 16 is formed and presses the 1st resin layer 13 into a front face. The processing shown in this drawing 32 (A) – drawing 32 (B) is the completely same processing as the processing explained using drawing 1 – drawing 4 in the 1st example. For this reason, the explanation about formation processing of the 1st resin layer 13 shall be omitted.

[0286] If the 1st resin layer 13 is formed in the front face (bump forming face) of a substrate 16 by processing drawing 32 (A) – drawing 32 (B), a substrate 16 will be made fetch from metal mold 20, the upper and lower sides will be made into reverse, and metal mold 20 will be equipped again. That is, metal mold 20 is equipped with a substrate 16 so that the field in which the bump 12 of a substrate 16 was formed may counter with the 1st female mold half object 23. And as shown in drawing 33 (D), the 2nd closure resin 36 is laid in the top face of the substrate 16 laid on the 1st female mold half object 23.

[0287] Then, as shown in drawing 33 (E), the 2nd closure resin 36 is pressed by making a punch 21 and the 2nd female mold half object 24 lower-\*\*. Thereby, as shown in drawing 33 (F), the 2nd resin layer 17 is formed also in the tooth-back side of a substrate 16.

[0288] Drawing 33 (G) shows semiconductor device 10E manufactured by the manufacture approach of this example. As shown in this drawing, semiconductor device 10E has the composition that compression molding of the 2nd resin layer 17 was carried out, in the tooth back of a substrate 16 while compression molding of the 1st resin layer 13 is carried out to the front face of a substrate 16 (semiconductor device) in which the bump 12 was formed.

[0289] as mentioned above -- after forming the 1st resin layer 13 in the front face of a substrate 16 in which the bump 12 was arranged at the resin seal process -- the tooth back of this substrate 16 -- a wrap -- balance of semiconductor device 10E manufactured can be made good by having formed the 2nd resin layer 17 like.

[0290] That is, since coefficient of thermal expansion differs, a substrate 16 (semiconductor device) and closure resin have a possibility that a differential thermal expansion may occur in the front face and tooth back of a substrate 16, and curvature may occur in a substrate 16, with the configuration which



arranged the 1st resin layer 13 only in the front face (field formed bump 12) of a substrate 16.

[0291] However, by covering both the front faces and tooth backs of a substrate 16 in the resin layers 13 and 17 like the manufacture approach of this example, the condition of the front face of a substrate 16 and a tooth back can be equalized, and balance of semiconductor device 10E can be made good. Thereby, it can prevent that curvature occurs in semiconductor device 10E in the time of heat impression etc.

[0292] Moreover, it is also possible to select to the resin which has a property which is different by the manufacture approach concerning this example in the 1st resin layer 13 arranged in the front face of a substrate 16 and the 2nd resin layer 17 arranged in the tooth back of a substrate 16. For example, the stress impressed to a bump 12 can be eased by selecting elastic resin as 1st resin layer 13.

[0293] Moreover, by selecting hard resin as 2nd resin layer 17 arranged in a tooth back, when external force is impressed, a substrate 16 can be protected certainly. Furthermore, the heat dissipation property of semiconductor device 10E can be raised by selecting resin with a heat dissipation property good as 2nd resin layer 17.

[0294] Then, the 13th example is explained.

[0295] Drawing 34 is drawing for explaining the manufacture approach of the semiconductor device concerning the 13th example. In addition, in drawing 34, the same sign shall be attached about the same configuration as the 12th example explained using the 1st example explained using drawing 1 thru/or drawing 9 and drawing 32, and drawing 33, and the explanation shall be omitted.

[0296] Also in the manufacture approach in this example, while forming the 1st resin layer 13 in the front face of a substrate 16, the 2nd resin layer 17 is formed in the tooth back of a substrate 16. however, by the manufacture approach concerning the 12th example explained using drawing 32 and drawing 33 The 1st resin layer 13 is formed by carrying out the process of drawing 32 (A) – (C) first. Next, the substrate 16 with which the 1st resin layer 13 was formed was picked out from metal mold 20, the upper and lower sides were made into reverse, and the 2nd resin equipment 17 was formed by carrying out the process of drawing 33 (D) – (F) on it. For this reason, by the manufacture approach concerning the 12th example, two compression-molding processings were needed and the manufacture effectiveness of semiconductor device 10E was not able to say that it was good.

[0297] So, by the manufacture approach concerning this example, it is characterized by enabling it to form simultaneously the 1st and 2nd resin layers 13 and 17 with one compression molding. For this reason, in this example, when equipping metal mold 20 with a substrate 16 in a resin seal process, as shown in drawing 34 (A), after equipping metal mold 20 with the 2nd closure resin 36 first, it equipped with the substrate 16 so that it might be laid in the 2nd closure resin 36, and considered as the configuration which arranges the 1st closure resin 35 in that upper part further. Under the present circumstances, the 2nd closure resin 36 contacts the tooth-back side of a substrate 16, and the 1st closure resin 35 is made to be laid on the front face in which the bump 12 of a substrate 16 is formed.

[0298] Drawing 34 (B) shows the condition of carrying out compression molding. As shown in this drawing, since a substrate 16 is in the condition inserted into the 1st closure resin 35 and the 2nd closure resin 36, it can press closure resin 35 and 36 into the front face and tooth back of a substrate 16 simultaneously. Moreover, compression molding ends drawing 3434 (C) and the condition that the 1st resin layer 13 was formed in the front face of a substrate 16, and the 2nd resin layer 17 was formed in the tooth back of a substrate 16 is shown.

[0299] In addition, drawing 34 (D) is the semiconductor device manufactured by the manufacture approach concerning this example, and is the configuration as semiconductor device 10E manufactured in the 12th example with the same configuration (sign 10E also shows the semiconductor device manufactured by the manufacture approach concerning this example). As mentioned above, by the manufacture approach by this example, since the activity which makes a substrate 16 vertical reverse like the manufacture approach of the 12th example becomes unnecessary and can form the 1st resin layer 13 and the 2nd resin layer 17 in package by one compression-molding processing, it can raise the

manufacture effectiveness of semiconductor device 10E.

[0300] Then, the 14th example is explained.

[0301] Drawing 35 is drawing for explaining the manufacture approach of the semiconductor device concerning the 14th example. In addition, in drawing 35, the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9, and the explanation shall be omitted.

[0302] In each above mentioned example, although the spherical bump was mentioned as the example and explained as a projection electrode, by this example, it is characterized by using the straight bump 18 as a projection electrode. This straight bump 18 has the shape of a cylindrical shape, for example, is formed using plating. Thus, since the straight bump 18 has the shape of a cylindrical shape, the area of the point is large compared with the bump 12 made into the shape of a globular form.

[0303] The same processing as each example which the resin seal process and the projection electrode exposure process described above also as a straight bump 18 can perform structure of a projection electrode like this example. Drawing 35 (A) and (B) show the condition of having equipped metal mold 20 (not shown) with the substrate 16 with which the straight bump 18 was formed, in the resin seal process. In addition, drawing 35 (B) is the elements on larger scale of drawing 35 (A). The straight bump's 18 point is equipped with film 30A in this wearing condition.

[0304] This film 30A is the same configuration as what was shown in drawing 19, and is considered as the configuration which does not carry out elastic deformation easily. By carrying out resin seal processing to the substrate 16 of this condition, compression molding of the resin layer 13 is carried out between film 30A and the front face of a substrate 16.

[0305] Termination of a resin seal process performs processing which exfoliates film 30A which fixed in the resin layer 13 as shown in drawing 35 (C) from the resin layer 13 (crepe shows). However, the straight bump 18 maintains the condition of having been laid under the resin layer 13 except for the point so that it may expand to drawing 35 (D) and film 30A may be shown, even if it exfoliates from the resin layer 13.

[0306] By the way, in the 7th example previously explained using drawing 19 thru/or drawing 21, since the bump 12 was made into the spherical configuration, after the whole had been closed by the resin layer 13, the area exposed from the resin layer 13 was small, and processing to which the bump 12 as therefore shown in drawing 21 R> 1 is exposed from the resin layer 13 was performed.

[0307] On the other hand, in this example, since the straight bump 18 with the shape of a cylindrical shape is used, the area of the point exposed from the resin layer 13 is large. Therefore, as shown in drawing 35 (D), connection electric enough can be made also with the condition of having only exfoliated film 30A from the resin layer 13. Therefore, when the spherical bump 12 is used, processing to which the needed bump 12 is exposed from the resin layer 13 can be made unnecessary, and simplification of the production process of a semiconductor device can be attained.

[0308] In addition, when it is necessary to raise still more nearly electric connectability in this example, processing to which the straight bump 18 is exposed from the resin layer 13 may be carried out. Moreover, when it is necessary to name generically the bump 12 and the straight bump 18 of a spherical configuration to only call it a bump 12 in the following explanation, and it is necessary to explain according to an individual, suppose that it divides with the spherical bump 12 and the straight bump 18, and calls.

[0309] Then, the 15th example is explained.

[0310] Drawing 36 is drawing for explaining the manufacture approach of the semiconductor device concerning the 15th example. In addition, in drawing 36, the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9, and the 14th example explained using drawing 35, and the explanation shall be omitted.

[0311] By the manufacture approach concerning this example, by carrying out a projection electrode exposure process, after [ a bump 12 ] exposing a point from the resin layer 13 at least, it is

characterized by forming in this bump's 12 (the straight bump 18 is used in this example) point the projection electrode 90 (henceforth the bump for external connection) for external connection which is another bump.

[0312] This bump 90 for external connection is formed by carrying out the projection electrode formation process for external connection. This projection electrode formation process for external connection can apply the bump formation technique currently generally carried out, and can apply a replica method, plating, or a dimple plate method. And after carrying out a projection electrode exposure process, the bump 90 for external connection is formed in the straight bump's 18 point by carrying out this projection electrode formation process for external connection.

[0313] The mounting nature at the time of mounting a semiconductor device in a mounting substrate can be raised by having carried out the projection electrode formation process for external connection like this example, after carrying out a projection electrode exposure process, and having formed the bump 90 for external connection in the straight bump's 18 point.

[0314] That is, since a bump 12 is what is formed on the electrode formed in the substrate 16 (semiconductor device), the configuration becomes small inevitably. Therefore, when it uses as an external connection terminal which connects this small bump 12 to a mounting substrate electrically, there is a possibility that a mounting substrate and a bump 12 may not be connected certainly.

[0315] However, since the bump 90 for external connection who prepares by this example is the bump 12 and another object which are formed in the substrate 16, it is not influenced by a substrate 16 and the bump 12, but she can be designed freely (however, it is necessary to make it connect electrically with a bump 12), and can make it adapted for the configuration of a mounting substrate. Therefore, the mounting nature of the semiconductor device and mounting substrate with which the bump 90 for external connection was formed can be raised by arranging the bump 90 for external connection in a bump's 12 point.

[0316] Then, the 16th example is explained.

[0317] Drawing 37 is drawing for explaining the manufacture approach of the semiconductor device concerning the 16th example. In addition, in drawing 37, the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9, and the 15th example explained using drawing 36, and the explanation shall be omitted.

[0318] In this example, it is characterized by joining a bump 12 and the projection electrode for external connection for external connection using the jointing material for corrugated fibreboard 91 (henceforth a stress relaxation jointing material for corrugated fibreboard) which has a stress relaxation function in the projection electrode formation process for external connection which forms the bump 90 for external connection. Moreover, in this example, it is characterized also by using the pole electrode 92 as a projection electrode for external connection for external connection.

[0319] The stress relaxation jointing material for corrugated fibreboard 91 can apply solder with the melting point higher than the temperature impressed for example, at the time of mounting. Moreover, as a pole electrode 92, the wire of palladium can be used, for example. A bump 12 and the pole electrode 92 are joined with the stress relaxation jointing material for corrugated fibreboard 91. Moreover, in the junction location of a bump 12 and the pole electrode 92, since solder is a comparatively elasticity metal, when the solder which constitutes the stress relaxation jointing material for corrugated fibreboard 91 deforms, it can absorb the stress impressed to the pole electrode 92.

[0320] Since a bump 12 and the pole electrode 92 are joined with the stress relaxation jointing material for corrugated fibreboard 91 which has a stress relaxation function according to this example, even if external force is impressed to the pole electrode 92 and stress occurs, it can prevent that stress relaxation of this stress is carried out with the stress relaxation jointing material for corrugated fibreboard 91, and it is transmitted to a bump 12. Thereby, it can prevent that a damage occurs in a substrate 16 (semiconductor device) according to external force, and the dependability of the semiconductor device therefore manufactured can be raised.

[0321] Moreover, compared with a spherical electrode, a connection condition with an external connection terminal (external connection terminal by the side of a mounting substrate or a testing device) can be made good by using the pole electrode 92 as a projection electrode for external connection for external connection. This is because connection area can be made large in the pole electrode 92 to connection area becoming small in a spherical electrode.

[0322] Moreover, although the formation is difficult and it is easy to produce variation in height (diameter), in the wire-like pole electrode 92, a spherical electrode can obtain the thing of the same die length with a sufficient precision, and, therefore, can prevent generating of variation. Furthermore, elastically, since buckling distortion is possible, the pole electrode 92 has the stress relaxation function also in pole electrode 92 the very thing. Therefore, relaxation of the stress at the time of an external force input can be ensured.

[0323] Then, the 17th example is explained.

[0324] Drawing 38 is drawing for explaining the manufacture approach of the semiconductor device concerning the 17th example. In addition, in drawing 38, the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9, and the explanation shall be omitted.

[0325] In order to expose a bump 12 from the resin layer 13, selected the construction material in which elasticity is possible as a film 30, when the film 30 was arranged in the bump 12, it is made for a bump's 12 point to sink into a film 30, and as therefore shown in drawing 7, when the film 30 was exfoliated, it was made exposed [ a bump's 12 point / from the resin layer 13 ] in the 1st above mentioned example. However, by the approach of this 1st example, the area of the point of the bump 12 who exposes from the resin layer 13 becomes small, and has a possibility that electrical installation nature with a mounting substrate may fall.

[0326] The approach of exposing in the 7th example described above on the other hand, using laser radiation equipment 60 grade, as shown in drawing 21 in order to make a bump's 12 point into the condition of not exposing from the resin layer 13 and to expose a bump's 12 point from the resin layer 13 when construction material hard as film 30A is selected and film 30A is exfoliated was used. However, by the approach of the 7th example, in order to expose a bump 12 from the resin layer 13, a large-scale facility will be needed.

[0327] So, in this example, as shown in drawing 38 (A), while selecting the thing of hard material as film 30B in a resin seal process, it is characterized by using that by which heights 19 were formed in the location which counters with the bump 12 of this film 30B. Hereafter, the resin seal process using film 30B in which these heights 19 were formed is explained. In addition, the graphic display of metal mold is omitted in drawing 38.

[0328] Drawing 38 (B) shows the condition of having equipped metal mold with a substrate 16, closure resin 35, and film 30B. In this condition, the heights 19 formed in film 30B are positioned so that it may counter with the bump 12 formed in the substrate 16. Moreover, film 30B is formed with the hard resin ingredient, and heights 19 are formed with the comparatively elasticity resin ingredient. That is, film 30B and heights 19 are constituted by another ingredient in this example (good [ as a unified configuration by the same ingredient ] in addition).

[0329] Drawing 38 (C) shows the condition that compression-molding processing is performed to closure resin 35. The heights 19 formed in film 30B at the time of this compression-molding processing are in the condition of having been pressed by the bump 12. Therefore, about the field where heights 19 are pressing the bump 12, closure resin 35 does not adhere to a bump 12. And since heights 19 are constituted by elasticity resin, when heights 19 carry out flexible deformation, the touch area of a bump 12 and heights 19 is large.

[0330] Drawing 38 (D) shows the projection electrode exposure process, and shows the condition that film 30B was removed from the substrate 16. Since closure resin 35 does not adhere to a bump 12 in the field to which heights 19 are pressing the bump 12 as described above, in the condition that film 30B

was removed, this field will be in the condition of having exposed from the resin layer 13. And the area which a bump 12 exposes from the resin layer 13 in this example is large compared with the approach of the 1st above mentioned example.

[0331] Therefore, according to the manufacture approach by this example, a bump 12 can be exposed from the resin layer 13 easily and certainly, without using a large-scale facility. Moreover, as shown in drawing 38 (E), when [ since a bump's 12 area exposed from the resin layer 13 is large, for example, ] forming the bump 90 for external connection in a bump's 12 point, a bump 12 and the bump 90 for external connection can be joined certainly.

[0332] Then, the 18th example is explained.

[0333] Drawing 39 and drawing 40 are drawings for explaining the manufacture approach of the semiconductor device concerning the 18th example. In addition, in drawing 39 and drawing 40 , the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9 , and the explanation shall be omitted.

[0334] In this example, it has the description in the formation approach of bump 12A formed in a substrate 16, and its structure. This bump 12A is formed on the connection electrode 98 prepared in the front face of a substrate 16. In order to form bump 12A, the core section 99 (crepe shows) is first formed in the upper part of the connection electrode 98. This core section 99 is formed with the resin (for example, polyimide etc.) which has elasticity.

[0335] A spin coat is carried out, and the resin of locations other than connection electrode 98 is continuously removed using a photolithography techniques so that it may become predetermined thickness about the resin (photosensitive polyimide) which serves as the core section 99 all over a substrate 16 first as the concrete approach which forms the core section 99 on the connection electrode 98. Thereby, the core section 99 is formed on the connection electrode 98.

[0336] Then, the electric conduction film 100 is formed so that the whole front face of this core section 99 may be covered. This electric conduction film 100 is formed using thin film coating technology, such as plating or the sputtering method, and that substrate side edge section is electrically connected with the connection electrode 98. While having a certain amount of elasticity as construction material of the electric conduction film 100, the low metal of electric resistance is selected. Bump 12A is formed by carrying out the above processing. In addition, 102 in drawing is an insulator layer.

[0337] Bump 12A is considered as the configuration in which the electric conduction film 100 was formed in the front face of the core section 99 so that clearly from the above-mentioned explanation. As mentioned above, even if external force acts on bump 12A in the time of mounting etc. and stress occurs since the core section 99 has elasticity and the electric conduction film 100 is also formed with the ingredient with a certain amount of elasticity for example, this stress is absorbed, when the core section 99 and the electric conduction film 100 carry out elastic deformation. Therefore, it can prevent that this stress is impressed to a substrate 16, and can control that a damage occurs in a substrate 16.

[0338] Here, the height to the resin layer 13 of bump 12A is explained. Drawing 39 (A) shows the configuration in which the point of bump 12A projected rather than the resin layer 13. With this configuration, since bump 12A is exposed more widely than the resin layer 13, when the bump 90 for external connection is formed, the plane-of-composition product of bump 12A and the bump 90 for external connection becomes large, and can join bump 12A and the bump 90 for external connection certainly.

[0339] Moreover, drawing 39 (B) shows the configuration in which the point of bump 12A and the front face of the resin layer 13 were considered as the same side. The semiconductor device with this configuration is LCC (LeadlessChip Carrier). It becomes possible to use as a semiconductor device of structure, and improvement in packaging density can be aimed at.

[0340] Moreover, drawing 39 (C) shows the configuration which has the point of bump 12A in a location lower than the front face of the resin layer 13. Therefore, the crevice 101 for exposing bump 12A to the resin layer 13 is formed. With this configuration, since a crevice 101 does so the function to position the

bump 90 for external connection when the bump 90 for external connection is formed, compared with the configuration shown in drawing 39 (A), positioning processing with bump 12A and the bump 90 for external connection can be performed easily.

[0341] On the other hand, in this example, as is shown in drawing 40 , it has the composition that the electrode pad 97 prepared in the substrate 16 (semiconductor device) and the connection electrode 98 with which bump 12A is formed estranged, and the electrode pad 97 and the connection electrode 98 have composition connected by the cash-drawer wiring 96.

[0342] As shown in drawing 39 , generally in the configuration which forms the bump 90 for external connection in the point of bump 12A, the bump 90 for external connection is set up from the field which aims at improvement in mounting nature more greatly than bump 12A. Therefore, when the distance between pitches which bump 12A adjoins is small, there is a possibility that bump 90 comrade for external connection by whom contiguity arrangement is done may contact.

[0343] So, in the example shown in drawing 40 , the pitch of the connection electrode 98 with which bump 12A is formed is enlarged by connecting the electrode pad 97 and the connection electrode 98 using the cash-drawer wiring 96. It is avoidable that interference occurs by this among the adjoining bumps 90 for external connection.

[0344] Then, the 19th example is explained.

[0345] Drawing 41 is drawing for explaining the manufacture approach of the semiconductor device concerning the 19th example. In addition, in drawing 41 , the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9 , and the explanation shall be omitted.

[0346] The location where a substrate 16 is cut in the separation process carried out behind before carrying out a resin seal process by the manufacture approach concerning this example, as shown in drawing 41 (A) (a broken line X shows among drawing.) Hereafter, the cutting location slot 105 comparatively broad for calling it a cutting location is formed. The width method of this cutting location slot 105 is set up more greatly than the width method of a dicer 29 mentioned later at least.

[0347] Moreover, in the resin seal process carried out continuously, while forming the resin layer 13, also in this cutting location slot 105, it is filled up with closure resin 35 and the cutting location resin layer 106 is formed. And in the separation process carried out after termination of a resin seal process, as shown in drawing 41 (B), a substrate 16 is cut in the cutting location X in the cutting location slot 105 where it filled up with the cutting location resin layer 106 using a dicer 29. Thereby, a substrate 16 is cut as shown in drawing 41 (C).

[0348] It can prevent that a crack occurs in a substrate 16 and the resin layer 13 in a separation process by above-mentioned this example according to the manufacture approach. Hereafter, this reason is explained.

[0349] When the configuration which does not form the cutting location slot 105 temporarily now is assumed, at a separation process, the substrate 16 with which the resin layer 13 of the shape of comparatively thin film was formed in the front face will be cut. Stress with the very big cutting processing using a dicer 29 is impressed to a substrate 16. For this reason, in this cutting process, the thin resin layer 13 exfoliates from a substrate 16, and a possibility that a crack may occur is in the resin layer 13 and a substrate 16.

[0350] On the other hand, by the manufacture approach of this example, cutting processing will be performed at a separation process in the cutting location slot 105 in which the cutting location resin layer 106 was formed by forming the broad cutting location slot 105 in the cutting location X. Under the present circumstances, the thickness of the cutting location resin layer 106 is thick compared with the thickness of the resin layer 13 formed in other parts, and that mechanical strength is strong. And since the cutting location resin layer 106 has flexibility compared with the substrate 16, it does the function which absorbs the stress to generate so.

[0351] Therefore, since the stress generated by cutting processing is impressed to a substrate 16 in the

condition that it was absorbed by the cutting location resin layer 106, and was able to weaken, it can prevent that a crack occurs to the resin layer 13 and a substrate 16, and can raise the manufacture yield of a semiconductor device to them.

[0352] Moreover, as shown in drawing 41 (C), when a separation process is completed, the cutting location resin layer 106 is exposed to the side face of a substrate 16, and it becomes a configuration. Therefore, the flank of a substrate 16 serves as a configuration protected by the cutting location resin layer 106, and it can control that a substrate 16 is directly influenced of an external environment.

[0353] Furthermore, although a handling device is used for conveyance processing of a semiconductor device, it can also become possible to constitute so that this handling device may grasp the part which the cutting location resin layer 106 exposed, and it can also prevent that a substrate 16 is therefore damaged by the handling device.

[0354] Then, the 20th example is explained.

[0355] Drawing 42 is drawing for explaining the manufacture approach of the semiconductor device concerning the 20th example. In addition, in drawing 42 , the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9 , and the 19th example explained using drawing 41 , and the explanation shall be omitted.

[0356] Although considered as the configuration in which the cutting location slot 105 was formed in the cutting location X, by the manufacture approach concerning the 19th above mentioned example, as shown in drawing 42 (A), by the manufacture approach concerning this example, it is characterized by to form the stress relaxation slots 110a and 110b on the couple across the cutting location X where a substrate 16 is cut. Therefore, in a separation process, a substrate 16 will be cut in the location between the stress relaxation slots 110a and 110b on the couple.

[0357] Moreover, by forming the stress relaxation slots 110a and 110b, in a resin seal process, as shown in drawing 42 (B), the stress relaxation resin layers 111a and 111b are formed in the interior of the stress relaxation slots 110a and 110b. These stress relaxation resin layers 111a and 111b are thick compared with the thickness of the resin layer 13 formed in other parts, and that mechanical strength is strong. And since the stress relaxation resin layers 111a and 111b have flexibility compared with the substrate 16, they do the function which absorbs the stress to generate so.

[0358] the substrate 16 (this part is hereafter called substrate cutting section 16a) located among the stress relaxation slots 110a and 110b in the above-mentioned configuration if a substrate 16 is cut in a separation process in the location between the stress relaxation slots 110a and 110b on the couple -- size -- stress is impressed. Therefore, a crack may occur in the resin layer 13 formed in substrate cutting section 16a and its upper part. However, since the component with a bump 12, an electronic circuitry, etc. important for the formation location of this substrate cutting section 16a is not formed, even if a crack occurs, it does not pose a problem.

[0359] Although the stress generated by cutting substrate cutting section 16a on the other hand is transmitted towards the side, since the stress relaxation slots 110a and 110b where it filled up with the stress relaxation resin layers 111a and 111b are formed in the both-sides section of substrate cutting section 16a, the stress generated at the time of cutting is absorbed in the stress relaxation slots 110a and 110b.

[0360] Therefore, it can prevent that a crack occurs to the field in which the stress generated in substrate cutting section 16a does not do effect outside the formation location of the stress relaxation slots 110a and 110b (side in which the electronic circuitry of a substrate 16 is formed), and the bump 12, the electronic circuitry, etc. are formed. In addition, drawing 42 (C) shows the condition that the separation process was completed.

[0361] Then, the 21st example is explained.

[0362] Drawing 43 is drawing for explaining the manufacture approach of the semiconductor device concerning the 21st example. In addition, in drawing 43 , the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9 , and the 19th example

explained using drawing 41 , and the explanation shall be omitted.

[0363] By the manufacture approach concerning this example, before carrying out a resin seal process, a substrate 16 is divided into each semiconductor device 112 by carrying out the 1st separation process. The bump 12 and the electronic circuitry (not shown) are formed in each semiconductor device 112 of this, respectively.

[0364] Termination of this 1st separation process carries out a resin seal process continuously. At this resin seal process, as shown in drawing 43 (A), the semiconductor device 112 separated in the 1st separation process is aligned at the film member 113 used as base material, and is carried. Under the present circumstances, a semiconductor device 112 is carried in the film member 113 using adhesives. Moreover, between the adjoining semiconductor devices 112, as shown in drawing 43 (A), it aligns so that the gap section 114 may be formed.

[0365] If a semiconductor device 112 is carried on the film member 113 as mentioned above, while compression-molding processing of resin will be performed and the resin layer 13 will be formed in the front face of each semiconductor device 112, the cutting location resin layer 106 is formed in the gap section 114. Then, a bump's 12 projection electrode exposure process at which a point is exposed from the resin layer 13 at least is carried out. Drawing 43 (B) shows the condition that each above processing was completed.

[0366] Termination of the above processing carries out the 2nd separation process continuously. At this 2nd separation process, cutting processing is performed in the location between the adjoining semiconductor devices 112, i.e., the location in which the cutting location resin layer 106 is formed, and the cutting location resin layer 106 is cut with the film member 113. Thereby, as are shown in drawing 43 (C), and the semiconductor device 112 in which the resin layer 13 was formed is separated and it is continuously shown in drawing 43 (D), the film member 113 is removed.

[0367] By the above-mentioned manufacture approach of this example, in order to separate into each semiconductor device 112 by cutting a substrate 16 beforehand in the 1st separation process, in case a semiconductor device 112 is carried in the film member 113 in a resin seal process, it becomes possible to carry the semiconductor device 112 of a different class in base material.

[0368] Therefore, when arranging two or more semiconductor devices in the same resin layer 13, it can become possible to arrange combining the semiconductor device 112 of a different class and a property, and the degree of freedom of a design can be raised. In addition, of course also in this example, the effectiveness of the 19th example of having explained using drawing 41 can be acquired.

[0369] Then, the 22nd example is explained.

[0370] Drawing 44 is drawing for explaining the manufacture approach of the semiconductor device concerning the 22nd example. In addition, in drawing 44 , the same sign shall be attached about the same configuration as the 21st example explained using drawing 43 , and the explanation shall be omitted.

[0371] the 21st example and abbreviation which explained the manufacture approach concerning this example using drawing 43 -- although it is the same, in the 21st example, it has a difference in that the heat sink 115 was used as base material at this example to having used the film member 113 as base material in the resin seal process.

[0372] Therefore, in a resin seal process, a semiconductor device 112 is carried on this heat sink 115, and a heat sink 115 is cut with the cutting location resin layer 106 at the 2nd separation process. However, although the film member 113 was removed after termination of the 2nd separation process in the 21st example, after the 2nd separation process was completed in this example, processing which removes a heat sink 115 was considered as the configuration which is not performed. It can become the semiconductor device manufactured with the configuration that a heat sink 115 remains, by this, and, therefore, the heat dissipation property of a semiconductor device can be raised.

[0373] Then, the 23rd example is explained.

[0374] Drawing 45 and drawing 46 are drawings for explaining the manufacture approach of the



semiconductor device concerning the 23rd example. In addition, in drawing 45 and drawing 46 , the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9 , and the explanation shall be omitted.

[0375] By the manufacture approach concerning this example, before carrying out a separation process, as it is after operation of a resin seal process at least, and it is shown in drawing 46 , it is characterized by forming a location notch 120 in the resin layer 13.

[0376] Thus, in case test processing is performed to semiconductor device 10F manufactured by forming a location notch 120 in the resin layer 13, for example, a testing device can be equipped on the basis of this location notch 120. Moreover, it can do, although a location notch 120 is formed in package to two or more semiconductor device 10F by forming a location notch 120 before carrying out a separation process, and the formation effectiveness of a location notch 120 can be raised.

[0377] In order to form this location notch 120, for example, as shown in drawing 45 , it can form by performing a half scribe in the resin layer 13 using a dicer 29. Thus, since a location notch 120 can be formed by forming a location notch 120 by performing a half scribe using the SUKURAIBINGU technique generally used at a separation process, a location notch can be formed with an easily and sufficient precision.

[0378] Then, the 24th example is explained.

[0379] Drawing 47 is drawing for explaining the manufacture approach of the semiconductor device concerning the 24th example. In addition, in drawing 47 , the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9 , and the explanation shall be omitted.

[0380] By the manufacture approach concerning this example, before carrying out a separation process, as it is after operation of a resin seal process at least, and it is shown in drawing 47 , it is characterized by forming a location notch 121 in the tooth back of a substrate 16. In addition, drawing 47 (B) is the elements on larger scale of drawing 47 (A).

[0381] Thus, a semiconductor device can be positioned on the basis of a location notch 121 like the 23rd example by forming a location notch 121 in the tooth back of a substrate 16. Since the bump 12 has turned [ positioning / when mounting a semiconductor device / especially ] to the mounting substrate side, even if it forms a location notch 120 in the resin layer 13, it cannot recognize this from the upper part.

[0382] However, by forming the location notch 121 in the tooth back of a substrate 16 like this example, a location notch 121 can be recognized at the time of mounting of a semiconductor device, and it becomes possible to perform high mounting processing of precision. In addition, formation of a location notch 121 can be formed by performing a half scribe at the tooth back of a substrate 16 using a dicer 29 like the 23rd example.

[0383] Then, the 25th example and the 26th example are explained.

[0384] Drawing 48 is drawing for explaining the manufacture approach of the semiconductor device concerning the 25th example, and drawing 49 is drawing for explaining the manufacture approach of the semiconductor device concerning the 26th example. In addition, in drawing 48 and drawing 49 , the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9 R> 9, and the explanation shall be omitted.

[0385] The manufacture approach concerning the 25th example has the description like the 23rd and 24th above mentioned examples at the point which forms a location notch 122. Drawing 48 (C) shows the location notch 122 formed in the resin layer 13 of this example.

[0386] In order to form a location notch 122, as first shown in drawing 48 (A), that by which heights 31 were formed in the location in which it does not interfere with a bump 12 as film 30C at a fat closure process is used. Drawing 48 (B) shows the condition that opposite arrangement of film 30C which has heights 31 was carried out with the substrate 16, in the resin seal process. Heights 31 are located in the location which does not counter with a bump 12 as shown in this drawing. Therefore, a location notch

122 is formed in the resin layer 13 of these heights 31 after termination of a resin seal process.

[0387] On the other hand, the manufacture approach concerning the 26th example has the description at the point which forms a locating lug 123 in the resin layer 13. Drawing 49 (C) shows the locating lug 123 formed in the resin layer 13 of this example.

[0388] In order to form a locating lug 123, as first shown in drawing 49 (A), that by which the crevice 32 was formed in the location in which it does not interfere with a bump 12 as film 30C at a fat closure process is used. Drawing 49 (B) shows the condition that opposite arrangement of film 30C which has a crevice 32 was carried out with the substrate 16, in the resin seal process. The crevice 32 is located in the location which does not counter with a bump 12 as shown in this drawing. Therefore, a locating lug 123 is formed in the resin layer 13 of this crevice 32 after termination of a resin seal process.

[0389] According to the 25th above-mentioned example and the 26th above-mentioned example, the location notch 122 or locating lug 123 used as the criteria of positioning can be formed in the resin layer 13 by using film 30C by which heights 31 or a crevice 32 was formed in the location in which it does not interfere with a bump 12 at a resin seal process. Therefore, in case trial or mounting processing is performed, for example to a semiconductor device, it becomes possible to perform positioning processing as this location notch 122 or locating-lug 123 criteria, and simplification of positioning processing can be attained.

[0390] Then, the 27th example is explained.

[0391] Drawing 50 is drawing for explaining the manufacture approach of the semiconductor device concerning the 27th example. In addition, in drawing 50, the same sign shall be attached about the same configuration as the 1st example explained using drawing 1 thru/or drawing 9, and the explanation shall be omitted.

[0392] By the manufacture approach concerning this example, it is characterized by enabling it to identify the usual bump 12 and bump 12B for positioning by setting up the bump 12 (this bump 12 being hereafter called bump 12 for positioning B) who becomes the criteria of positioning among the bumps 12 by whom two or more arrangement is done, and processing the resin layer 13 in the formation location of this bump 12B for positioning after termination of a resin seal process. In addition, the configuration of the bump 12B for positioning itself is the same configuration as the usual bump 12.

[0393] Drawing 50 (A) shows the substrate 16 in the condition that the resin seal process and the projection electrode exposure process were completed. In this condition, the resin layer 13 is formed by the thickness of homogeneity on the substrate 16, and, therefore, cannot identify a bump 12 and bump 12B for positioning.

[0394] So, in this example, as shown in drawing 50 (B), processing which makes thin thickness of the resin layer 13 in the near location of bump 12B for positioning was performed. This becomes possible to identify the usual bump 12 and bump 12B for positioning. As [ change / the manufacturing facility of a semiconductor device / by therefore resinating / moreover, / the resin treatment for discernment-izing bump 12B for positioning can use the excimer laser used at the projection electrode exposure process described above, for example, etching, mechanical polishing, or blasting, and / greatly ]

[0395] Here, how to identify a bump 12 and bump 12B for positioning is explained. Drawing 50 (C) is drawing expanding and showing bump 12B for positioning, and drawing 50 (D) is drawing which looked at bump 12B for positioning from the upper part. On the other hand, drawing 51 (A) is drawing expanding and showing the usual bump 12, and drawing 51 (B) is drawing which looked at the usual bump 12 from the upper part.

[0396] As described above, since bump 12B for positioning is the same configuration as the usual bump 12, it is not discriminable only with each bumps' 12 and 12B configuration. However, as for each bumps 12 and 12B, spherical or the path dimension seen from the upper part with the depth currently laid under the resin layer 13 since it had the Rugby ball-like configuration changes.

[0397] That is, since the usual bump 12 has a small area which it was deeply laid under the resin layer 13, and has been exposed to it, the path dimension L2 seen from the upper part as shown in drawing 51

(B) becomes small. On the other hand, the path dimension L1 seen from the upper part as bump 12B for positioning was greatly exposed from the resin layer 13 by performing the above-mentioned resin treatment, therefore it was shown in drawing 50 (D) is large ( $L1 > L2$ ).

[0398] Therefore, the usual bump 12 and bump 12B for positioning are discriminable by detecting the path dimension of each bumps 12 and 12B who saw from the upper part. This becomes possible to perform positioning processing of a semiconductor device on the basis of bump 12B for positioning.

[0399] Then, the mounting approach of the semiconductor device manufactured according to each above-mentioned example is explained.

[0400] Drawing 52 shows the mounting approach which is the 1st example. Drawing 52 (A) shows the mounting approach of the semiconductor device 10 manufactured by the manufacture approach concerning the 1st above mentioned example, and makes the bump 12 the structure joined to the mounting substrate 14 using the jointing materials for corrugated fibreboard 125, such as soldering paste. Moreover, drawing 52 (B) shows the mounting approach of semiconductor device 10G manufactured by the manufacture approach concerning the 14th above mentioned example, and makes the straight bump 18 the structure joined to the mounting substrate 14 using the jointing materials for corrugated fibreboard 125, such as soldering paste. Furthermore, drawing 52 (C) shows the mounting approach of semiconductor device 10H manufactured by the manufacture approach concerning the 15th above mentioned example, and is taken as the structure joined to the mounting substrate 14 by the bump 90 for external connection arranged by a bump's 12 point.

[0401] Drawing 53 shows the mounting approach which is the 2nd example. After the mounting approach shown in this drawing mounts a semiconductor device 10 in the mounting substrate 14, it is characterized by arranging under-filling resin 126.

[0402] Drawing 53 (A) is the configuration which arranged under-filling resin 126, after joining the bump 12 formed in the semiconductor device 10 to the direct mounting substrate 14, and drawing 53 (B) is the configuration which arranged under-filling resin 126, after joining a bump 12 to the mounting substrate 14 through a jointing material for corrugated fibreboard 125.

[0403] As described above, since, as for the semiconductor devices 10, 10A-10H manufactured according to each above mentioned example, the resin layers 13, 13A, and 13B are formed in the front face of a substrate 16, protection of a substrate 16 is performed by these resin layers 13, 13A, and 13B.

[0404] However, in the part to which bumps 12, 18, and 90 are joined to the mounting substrate 14, each bumps 12, 18, and 90 have a possibility of it having exposed and oxidizing. Moreover, when a big difference is in the coefficient of thermal expansion of the mounting substrate 14 and a substrate 16, there is a possibility that big stress may be impressed to the junction location of each bumps 12, 18, and 90 and the mounting substrate 14. Therefore, it is good also as a configuration which arranges under-filling resin 126 for antioxidizing generated in the above-mentioned junction location, and stress relaxation.

[0405] Drawing 54 shows the mounting approach which is the 3rd example (semiconductor device 10H with the bump 90 for external connection are mentioned as the example). By the mounting approach concerning this example, it is characterized by arranging a radiation fin 127,128 in semiconductor device 10H at the time of mounting.

[0406] Drawing 54 (A) is the configuration of having formed the radiation fin 127 to one semiconductor device 10H, and drawing 54 (B) is the configuration of having formed the radiation fin 128 to semiconductor device 10H of plurality (drawing two pieces). In addition, even if it mounts it in the mounting substrate 14 after fixing semiconductor device 10H to a radiation fin 127,128, and after the mounting procedure to the mounting substrate 14 of semiconductor device 10H mounts semiconductor device 10H in the mounting substrate 14, it is good also as fixing a radiation fin 127,128.

[0407] Drawing 55 shows the mounting approach which is the 4th example. In this example, the approach of mounting two or more semiconductor devices 10 in the mounting substrate 14 using an interpauser board 130 is adopted. The semiconductor device 10 is joined to the interpauser board 130 by the bump

12, and each interpauser board 130 is considered as the configuration electrically connected by the bump 129 for substrate junction, respectively. For this reason, the connection electrodes 130a and 130b are formed in that top face and underside, and, as for the interpauser board 130, are considered as the configuration with which each of these connection electrodes 130a and 130b were connected by internal wiring 130c on them, respectively.

[0408] According to the mounting approach of this example, since two or more semiconductor devices 10 can be arranged in the state of a laminating, the packaging density of the semiconductor device 10 in the unit area of the mounting substrate 14 can be raised. Especially the configuration of this example is effective when a semiconductor device 10 is memory.

[0409] Drawing 56 shows the mounting approach which is the 5th example. This example shows how to mount this interpauser board 131 in the mounting substrate 14, after carrying semiconductor device 10A concerning the 2nd example previously explained using drawing 26 in an interpauser board 131. The interpauser board 131 used by this example is a multilayer-interconnection substrate, and while the up electrode by which semiconductor device 10A is connected to the top face is formed, the bump 136 for mounting for joining to the mounting substrate 14 is arranged in the underside.

[0410] Moreover, drawing 57 shows the mounting approach which is the 6th example. This example shows how to mount this 2nd interpauser board 132 in the mounting substrate 14, after carrying semiconductor device 10A concerning the 2nd example in the 1st interpauser board 131 and carrying this in the 2nd interpauser board 132 with the electronic parts 135 of further others. The 2nd interpauser board 132 is also a multilayer-interconnection substrate, and while the up electrode by which the 1st interpauser board 131 and electronic parts 135 are connected to the top face is formed, the bump 137 for mounting for joining to the mounting substrate 14 is arranged in the underside.

[0411] Furthermore, drawing 58 shows the mounting approach which is the 7th example. By the mounting approach which is the 6th example shown in drawing 57, it is considered as the configuration which arranged the 1st interpauser board 131 and electronic parts 135 with which semiconductor device 10A was carried only in the top face of the 2nd interpauser board 132, and arranged the bump 137 for mounting in the underside.

[0412] On the other hand, in this example, the 1st interpauser board 131 and electronic parts 135 with which semiconductor device 10A was carried in the both sides of the top face of the 2nd interpauser board 133 and an underside are arranged. In addition, electric connection with the exterior is made in the configuration performed by the edge connector 138 formed in the side edge section (inside of drawing, left end section) of the 2nd interpauser board 133.

[0413] By each mounting approach explained using drawing 55 thru/or drawing 58, it becomes the configuration that interpauser boards 131-133 intervene between semiconductor devices 10 and 10A and the mounting substrate 14 (or connector to which an edge connector 138 is connected). Since these interpauser boards 131-133 are multilayer-interconnection substrates, they can perform leading about of wiring in a substrate with easy and a degree of freedom, and can plan easily consistency of the bump 12 (bump 90 for external connection) of semiconductor devices 10 and 10A, and the electrode by the side of the mounting substrate 14 (or connector).

[0414] Then, the semiconductor device which are the manufacture approach of the semiconductor device which is the 28th example, and the 4th example is explained.

[0415] First, semiconductor device 10J which are the 4th example are explained using drawing 63. In addition, in drawing 63, the same sign shall be attached about the same configuration as the semiconductor device 10 concerning the 1st example explained using drawing 9, and the explanation shall be omitted.

[0416] If the profile of semiconductor device 10J concerning this example is carried out, they are constituted by the substrate 16 (semiconductor device), the resin layer 13, and the external connection electrode 140 grade. A substrate 16 functions as a semiconductor device and the external connection electrode 140 connected to an external terminal and an electric target with an electronic circuitry is

formed in the front face. Moreover, the resin layer 13 is formed so that the front face of a substrate 16 may be covered, and it has the composition that therefore the external connection electrode 140 was also closed by the resin layer 13.

[0417] However, semiconductor device 10J concerning this example are characterized by considering this external connection electrode 140 as the configuration which the external connection electrode 140 exposed towards the side in the interface of a substrate 16 and the resin layer 13. That is, semiconductor device 10J do not have a bump, but are considered as the configuration electrically connected with a mounting substrate etc. by the external connection electrode 140 exposed in the flank of semiconductor device 10J instead of the bump.

[0418] Thus, since semiconductor device 10J concerning this example become possible [ mounting semiconductor device 10J using the external connection electrode 140 ], without forming a bump, they can attain the configuration of semiconductor device 10J, and simplification of a production process, and can aim at improvement in cost reduction and manufacture effectiveness. Moreover, since the external connection electrode 140 is the configuration exposed to the flank of semiconductor device 10J, it becomes possible [ mounting, where semiconductor device 10J are set up to the mounting substrate 14 so that it may explain in full detail behind ].

[0419] Then, the manufacture approach of the semiconductor device which is the 28th example is explained. The manufacture approach concerning the 28th example is an approach of manufacturing semiconductor device 10J shown in drawing 63.

[0420] By the manufacture approach of the semiconductor device concerning this example, immediately after not carrying out a bump formation process but carrying out a semiconductor device formation process, a resin seal process is carried out. In a semiconductor device formation process, while a predetermined electronic circuitry is formed in the front face of a substrate 16, as previously explained using drawing 40, the cash-drawer wiring 96 and connection electrode 98 grade are formed. And the external connection electrode 140 is formed in the upper part of the connection electrode 98 in this semiconductor device formation process.

[0421] Drawing 59 shows the substrate 16 in the condition that the semiconductor device formation process was completed. As shown in this drawing, in this example, the formation location of the external connection electrode 140 is collectively arranged in one side of the rectangle field (field surrounded as the continuous line among drawing) equivalent to one semiconductor device.

[0422] Termination of the above-mentioned substrate formation process carries out a resin seal process continuously. In this resin seal process, metal mold is equipped with a substrate 16 and compression molding of the resin layer 13 is performed. In addition, the explanation is omitted in order that a resin seal process may perform the same processing as the 1st above mentioned example.

[0423] When a resin seal process is completed, the resin layer 13 is formed all over a substrate 16. Therefore, it becomes the configuration that the cash-drawer wiring 96 and the connection electrode 98 grade which were formed in the substrate formation process were also closed by the resin layer 13.

Thus, by this example, after a resin seal process is completed, since the bump is not formed, a separation process is carried out, without performing a projection electrode exposure process.

[0424] In this example, it is characterized by cutting a substrate 16 in the location in which the external connection electrode 140 was formed in this separation process. In drawing 59, the location shown with a broken line is a cutting location of a substrate 16. By cutting a substrate 16 with the resin layer 13 in this cutting location, semiconductor device 10J of a configuration of that that part was cut and the external connection electrode 140 therefore exposed [ the external connection electrode 140 ] the external connection electrode 140 towards the side in the interface of a substrate 16 and the resin layer 13 are manufactured.

[0425] This external connection electrode 140 can expose outside from a resin layer 13 only by cutting the substrate 16 with which the bump formation process and the projection electrode exposure process needed in each above mentioned example became unnecessary according to the manufacture approach

concerning this example as described above, and the resin layer 13 was only formed in the location in which the external connection electrode 140 was formed, and semiconductor-device 10 J can manufacture easily.

[0426] Then, the manufacture approach of the semiconductor device which is the 29th example is explained using drawing 60 thru/or drawing 62. It is the approach of manufacturing semiconductor device 10J which also showed the manufacture approach concerning the 29th example to drawing 63. In addition, in drawing 60 thru/or drawing 62, the same sign is attached about the same configuration as the configuration shown by drawing 59, and the explanation is omitted.

[0427] As described above, by the manufacture approach concerning the 28th example explained using drawing 59, semiconductor device 10J can be manufactured easily. However, by the manufacture approach concerning the 28th example, the part which must perform cutting processing in two places of the location shown in drawing 59 with a broken line in a separation process and the location shown as a continuous line, and is shown by the drawing Nakaya mark W had turned into a garbage (this garbage was thrown away). Therefore, cutting efficiency [ in / with the manufacture approach concerning the 28th example / a separation process ] was bad, and disadvantageous also in the field of a deployment of a substrate 16.

[0428] On the other hand, in this example, simplification of a separation process and a deployment of a substrate 16 are aimed at compared with the 28th example explained previously. Hereafter, the manufacture approach concerning this example is explained.

[0429] Drawing 60 shows the substrate 16 in the condition that the semiconductor device formation process was completed in this example. Drawing 60 (A) is drawing showing the whole substrate 16, and drawing 60 (B) expands and shows the semiconductor device shown with Signs 11a and 11b to drawing 60 (A) among two or more semiconductor devices formed in the substrate 16.

[0430] As shown in drawing 60 (B), although the formation location of the external connection electrode 140 is summarized to one side of the semiconductor devices 11a and 11b made into the shape of a rectangle also in this example and it is arranged, by this example, it is characterized by being share-sized between semiconductor device 11a which the external connection electrode 140 adjoins, and 11b.

[0431] After the above-mentioned substrate formation process is completed, a resin seal process is carried out continuously, and as shown in drawing 61, the resin layer 13 is formed in the front face of a substrate 16. Therefore, it becomes the configuration that the cash-drawer wiring 96 and the connection electrode 98 grade which were formed in the substrate formation process were also closed by the resin layer 13.

[0432] After a resin seal process is completed, a separation process is carried out continuously and a substrate 16 is cut in the location in which the external connection electrode 140 was formed. In drawing 61 (B), the location shown with a broken line is a cutting location of a substrate 16.

[0433] By cutting a substrate 16 with the resin layer 13 in this cutting location, the external connection electrode 140 is cut by that abbreviation mid gear, and as shown in drawing 62, semiconductor device 10J of a configuration of that the external connection electrode 140 was [ the external connection electrode 140 ] exposed towards the side in the interface of a substrate 16 and the resin layer 13 are manufactured.

[0434] Under the present circumstances, as described above, in this example, the external connection electrode 140 is share-sized between adjoining semiconductor device 11a and 11b. For this reason, in two semiconductor devices 11a and 11b which adjoin by performing one cutting processing, the external connection electrode 140 can be exposed outside, respectively.

[0435] Therefore, the garbage which could raise the manufacture effectiveness of semiconductor device 10J, and was shown in drawing 59 by the arrow head W according to the manufacture approach of this example does not occur, and efficient utilization of a substrate 16 can be aimed at.

[0436] Then, the mounting approach of the semiconductor device which are the 8th thru/or the 11th example is explained. In addition, the mounting approach of the semiconductor device concerning the 8th

thru/or the 11th example is an approach of mounting semiconductor device 10J shown in drawing 63 in the mounting substrate 14.

[0437] Drawing 64 shows the mounting approach of semiconductor device 10J which are the 8th example. The mounting approach concerning this example mounts single semiconductor device 10J in the mounting substrate 14.

[0438] As described above, semiconductor device 10J are the configuration which the external connection electrode 140 exposed to the flank. For this reason, it becomes possible to mount, where semiconductor device 10J are set up to the mounting substrate 14 by mounting the side face 141 which this external connection electrode 140 exposed so that it may counter with the mounting substrate 14.

[0439] In the example shown in drawing 64 (A), the external connection electrode 140 and the mounting substrate 14 are joined using the jointing materials for corrugated fibreboard 142, such as soldering paste, and after this has set up semiconductor device 10J to the mounting substrate 14, it mounts. Moreover, in the example shown in drawing 64 (B), by arranging the bump 143 for external connection in the external connection electrode 140 beforehand, and joining this bump 143 for external connection to the mounting substrate 14, where semiconductor device 10J are set up to the mounting substrate 14, it mounts.

[0440] As mentioned above, by mounting semiconductor device 10J in the state of a set-up to the mounting substrate 14, compared with the configuration mounted in the mounting substrate 14 where semiconductor device 10J are sent to bed, the component-side product of semiconductor device 10J can be made small, and, therefore, the packaging density of semiconductor device 10J can be raised.

[0441] Drawing 65 and drawing 66 show the mounting approach of semiconductor device 10J which are the 9th and 10th examples. The mounting approach concerning each example mounts semiconductor device 10J of plurality (this example four pieces) in the mounting substrate 14.

[0442] In the 9th example shown in drawing 65, while making two or more semiconductor device 10J set up, it is characterized by mounting this in a juxtaposition condition and joining adjoining semiconductor device 10J with adhesives 144. Although adhesion between these adjoining semiconductor device 10J is considered as the configuration performed before joining to the mounting substrate 14 in this example, it is good also as a configuration which performs adhesion processing between semiconductor device 10J according to the time of joining semiconductor device 10J to the mounting substrate 14.

[0443] Moreover, like drawing 64 (B), the junction to semiconductor device 10J and the mounting substrate 14 arranges the bump 143 for external connection in the external connection electrode 140 beforehand, and uses the approach of mounting this bump 143 for external connection by joining to the mounting substrate 14. However, junction of semiconductor device 10J and the mounting substrate 14 may adopt the approach using the jointing material for corrugated fibreboard 142 shown in drawing 64 (A).

[0444] On the other hand, in the 10th example shown in drawing 66, while making two or more semiconductor device 10J set up, this is mounted in a juxtaposition condition and it is characterized by supporting adjoining semiconductor device 10J in the set-up condition using the supporter material 145. Moreover, the junction to semiconductor device 10J and the mounting substrate 14 in this example has adopted the approach using the bump 143 for external connection as well as the mounting approach concerning the 9th example.

[0445] The supporter material 145 is constituted by the good metal of heat dissipation nature, and the septum 146 which isolates adjoining semiconductor device 10J is formed. Between the septa 146 of a couple, each semiconductor device 10J uses adhesives, and pastes up, and, thereby, semiconductor device 10J are fixed to the supporter material 145.

[0446] In addition, a means to fix semiconductor device 10J to the supporter material 145 is good also as a configuration fixed when the septum 146 of a couple pinches semiconductor device 10J, without not being limited to adhesion and using adhesives.

[0447] According to the mounting approach of semiconductor device 10J concerning the 9th and 10th

above-mentioned examples, it becomes possible to carry out unitization of two or more semiconductor device 10J, and to treat them. Therefore, it can become possible at the time of mounting to perform mounting processing at the mounting substrate 14 per unit in package about two or more semiconductor device 10J, and, thereby, the mounting effectiveness of semiconductor device 10J can be raised.

[0448] Drawing 67 shows the mounting approach of semiconductor device 10J which are the 11th example. By the mounting approach concerning this example, it is characterized by mounting semiconductor device 10J of plurality (this example four pieces) in the mounting substrate 14 through an interpauser board 147.

[0449] This example shows how to mount this interpauser board 147 in the mounting substrate 14, after carrying two or more semiconductor device 10J which applied the mounting approach concerning the 9th example previously explained using drawing 65 in an interpauser board 147. the interpauser board 147 used by this example -- a multilayer-interconnection substrate -- it is -- the top face -- each -- while the up electrode 148 to which semiconductor device 10J are connected is formed, the bump 136 for mounting for joining the lower electrode 149 formed in the underside to the mounting substrate 14 is arranged. Moreover, the up electrode 148 and the lower electrode 149 are connected by the internal wiring 150 formed in the interior of an interpauser board 147.

[0450] Since it becomes the configuration that an interpauser board 147 intervenes between semiconductor device 10J and the mounting substrate 14 according to the mounting approach concerning this example, the degree of freedom which mounts semiconductor device 10J in the mounting substrate 14 can be raised.

[0451] Then, the configuration and its manufacture approach of a semiconductor device 160 of different others from each semi-conductor object equipments 10, 10A-10J described above are explained.

Drawing 68 and drawing 69 are drawings for explaining the manufacture approach of a semiconductor device 160, and drawing 70 is drawing showing the configuration of a semiconductor device 160.

[0452] As shown in drawing 70, if the profile of the semiconductor device 160 is carried out, it is constituted by two or more semiconductor devices 161, the interpauser board 162, the bump 163 for external connection, and the resin layer 164 grade.

[0453] Two or more semiconductor devices 161 are carried in the top face of an interpauser board 162 with electronic parts 165. The up electrode 166 is formed in the top face of an interpauser board 162, and this up electrode 166 and semiconductor device 161 are connected using the wire 168.

[0454] Moreover, the lower electrode 167 is formed in the underside of an interpauser board 162, and the bump 163 for external connection is connected to this lower electrode 167. The through hole 169 is formed in this interpauser board 162, and the up electrode 166 and the lower electrode 167 are electrically connected by this through hole 169. Thereby, a semiconductor device 161 and the bump 163 for external connection become the configuration connected electrically. Furthermore, the resin layer 164 is formed using the above-mentioned compression-molding technique, and it is formed so that the top face of an interpauser board 162 may be covered.

[0455] Thus, also in the semiconductor device 160 of a configuration of connecting a semiconductor device 161 outside (interpauser board 162) electrically using a wire 168, it is possible to form the resin layer 164 using a compression-molding technique.

[0456] On the other hand, in order to manufacture the semiconductor device 160 considered as the above-mentioned configuration, as shown in drawing 68, first, adhesives are used for the top face of an interpauser board 162, and a semiconductor device 161 is carried in it. If there is need at this time, the electronic parts 165 to attach are also set and carried. Then, wirebonding is carried out between the up electrode 166 currently formed in the top face of an interpauser board 162, and the pad currently formed in the upper part of a semiconductor device 161, and a wire 168 is arranged in it. Next, a replica method etc. is used for the lower electrode 167 formed in the underside of an interpauser board 162, and the bump 163 for external connection is arranged.

[0457] If a semiconductor device 161, the bump 163 for external connection, and a wire 168 are



arranged by the interpauser board 162 as mentioned above, the metal mold for resin seals will be equipped with this interpauser board 162, and the resin layer 164 will be formed in the front face of an interpauser board 162 using compression forming. Drawing 69 shows the interpauser board 162 with which the resin layer 164 was formed in the front face. Then, the semiconductor device 160 shown in drawing 70 is formed by cutting this interpauser board 162 in the predetermined cutting location shown in drawing 69 with a broken line.

[0458] Moreover, it is drawing for explaining a different configuration of other semiconductor device 170, 170A from each semi-conductor object equipments 10, 10A-10J which have also described above drawing 71 thru/or drawing 75, and its manufacture approach. Drawing 71 is drawing for explaining the configuration of a semiconductor device 170, and drawing 72 and drawing 73 are drawings for explaining the manufacture approach of a semiconductor device 170. Moreover, drawing 74 is drawing for explaining the configuration of semiconductor device 170A, and drawing 75 is drawing for explaining the manufacture approach of semiconductor device 170A.

[0459] If the profile of the semiconductor device 170 is carried out, it is considered as the semiconductor device 171, the resin package 172, and the very easy configuration that consists of a metal membrane 173. As for the semiconductor device 171, two or more electrode pads 174 are formed in the top face. Moreover, the resin package 172 is considered as the configuration fabricated using the compression-molding technique which described the epoxy resin above. The resin projection 177 is formed in the component side 175 of this resin package 172 in one.

[0460] Moreover, the metal membrane 173 is formed so that the resin projection 177 formed in the resin package 172 may be covered. The wire 178 is arranged between this metal membrane 173 and the above mentioned electrode pad 174, and the metal membrane 173 and the semiconductor device 171 have electrically connected composition with this wire 178.

[0461] The conventional inner lead and conventional outer lead like SSOP become unnecessary [ the semiconductor device 170 considered as the above-mentioned configuration ], the area for leading about by the outer lead from an inner lead and own area of an outer lead become unnecessary, and the miniaturization of a semiconductor device 170 can be attained.

[0462] Moreover, since it becomes unnecessary to use a loading substrate in order to form a solder ball like the conventional BGA, cost reduction of a semiconductor device 170 can be planned. Furthermore, since the resin projection 177 and a metal membrane 173 collaborate and do so a function equivalent to the solder bump of a BGA type semiconductor device, they can improve mounting nature.

[0463] Next, the manufacture approach of a semiconductor device 170 is explained using drawing 72 and drawing 73. In order to manufacture a semiconductor device 17, the leadframe 180 shown in drawing 72 is prepared. It is formed with copper (Cu) and, as for this leadframe 180, the crevice 181 corresponding to the configuration of the resin projection 177 is formed in the location corresponding to the above mentioned formation location of the resin projection 177. Furthermore, the metal membrane 173 is formed in the front face of this crevice 181.

[0464] A semiconductor device 171 is first carried in the leadframe 180 considered as the above-mentioned configuration. A wire 178 is arranged between the electrode pad 174 with which a semiconductor device 171 is carried in a leadframe 180 and which wirebonding equipment was continuously equipped with the leadframe 180, and was formed in the semiconductor device 171, and the metal membrane 173 currently formed in the leadframe 180. Thereby, a semiconductor device 171 and a metal membrane 173 serve as a configuration connected electrically. Drawing 72 shows the condition that the processing which more than explained was completed.

[0465] Termination of arrangement processing of the above-mentioned wire 178 forms the resin package 172 so that a semiconductor device 171 may be continuously closed on a leadframe 180. In this example, the resin package 172 is formed with compression molding. Drawing 73 shows the leadframe 180 in which the resin package 172 was formed.

[0466] After formation processing of the above-mentioned resin package 172 is completed, while cutting

processing is performed to drawing 73 in the location shown with a broken line, the separation process which the resin package 172 is separated from a leadframe 180, and forms a semiconductor device 170 is carried out. This separation process is performed by making a leadframe 180 immersed in an etching reagent, and dissolving. The etching reagent used at this separation process dissolved only the leadframe 180, and the metal membrane 173 has selected the etching reagent which has the property which is not dissolved.

[0467] Therefore, the resin package 172 is separated from a leadframe 180 by dissolving a leadframe 180 thoroughly. Under the present circumstances, since a metal membrane 173 will be in the condition of having been arranged in the resin projection 177, the semiconductor device 170 shown in drawing 71 is formed. Thus, by dissolving a leadframe 180, by using the approach of separating the resin package 172 from a leadframe 180, separation processing of the resin package 172 from a leadframe 180 can be performed certainly and easily, and the yield can be improved.

[0468] On the other hand, semiconductor device 170A shown in drawing 74 is taken as the configuration which arranged two or more semiconductor devices 171 in one resin package 172. Thus, multi-functionalization of semiconductor device 170A can be attained by arranging two or more semiconductor devices 171 in one resin package 172. In addition, the manufacture approach of this semiconductor device 170A is a difference which is extent from which the cutting part which is the manufacture approach and abbreviation identitas which were explained using drawing 72 and drawing 73, and is shown by drawing 75 (B) differs. For this reason, the detail explanation about the manufacture approach of semiconductor device 170A shall be omitted.

[0469]

[Effect of the Invention] According to this invention, the various effectiveness described below is realizable like \*\*\*\*.

[0470] According to invention according to claim 1, since it is formed in a resin seal process, in case the resin layer which functions as under-filling resin mounts a semiconductor device, it becomes unnecessary to carry out restoration processing of the under-filling resin, and, thereby, it can make mounting processing easy.

[0471] Moreover, since the closure resin used as a resin layer can be certainly formed all over the arrangement side of a projection electrode, a resin layer can do a protection feature so to all projection electrodes, can prevent certainly that a projection electrode exfoliates from a mounting substrate at the time of heating, and can raise dependability.

[0472] Moreover, according to invention according to claim 2, in a resin seal process, surplus resin can flow out of metal mold, or the inconvenience to which it becomes impossible for closure resin to close a projection electrode certainly few conversely can be prevented.

[0473] Moreover, since a resin layer cannot touch metal mold directly by having arranged the film between a projection electrode and metal mold, and having constituted so that metal mold might contact closure resin through a film, while being able to improve a mold-release characteristic according to claim 3 and invention according to claim 38, it becomes usable [ the high high-reliability resin of adhesion without a release agent ]. Moreover, by pasting a film, a resin layer becomes possible [ using a film as a carrier ], and can contribute to manufacture automation of a semiconductor device.

[0474] Moreover, according to claim 4 and invention according to claim 39, a resin layer can be certainly formed in the whole substrate by having used sheet-like resin as closure resin. Moreover, since the time amount to which resin flows towards an edge from a center can be shortened, time amount compaction of a resin seal process can be aimed at.

[0475] Moreover, since wearing of a film and the loading activity of closure resin can be done in package by arranging closure resin in the film beforehand before operation of a resin seal process according to invention according to claim 5, the increase in efficiency of an activity can be attained.

[0476] Moreover, by arranging two or more closure resin in the film at the predetermined spacing, and moving a film, by carrying out a resin seal process continuously, automation of a resin seal process can

be attained and, according to invention according to claim 6, the manufacture effectiveness of a semiconductor device can be raised.

[0477] Moreover, according to claim 7 and invention according to claim 40, before equipping metal mold with a substrate, by equipping the cavity with the back up plate, it can prevent that a substrate deforms with the heat impressed at the time of a resin seal, or stress, and the yield of the semiconductor device manufactured can be raised. Furthermore, it becomes possible to also make the curvature of the proper which a substrate has by the back up plate correct.

[0478] Moreover, according to invention according to claim 8, by having selected the ingredient with the rate of heat dissipation good as the back up plate, the back up plate can be operated also as a heat sink, and the heat dissipation property of the semiconductor device manufactured can be raised.

[0479] Moreover, according to invention according to claim 9, as a means for which the point of a projection electrode is exposed, when a laser beam exposure or excimer laser is used, the point of a projection electrode can be exposed with an easily and sufficient precision. Moreover, when etching, mechanical polishing, or blasting is used, the point of a projection electrode can be exposed cheaply.

[0480] Moreover, according to invention according to claim 10, by moving the 2nd half-object to the 1st half-object, in case a substrate is released from mold from metal mold, a mold release operation can be given, and the substrate with which the resin layer was therefore formed can be easily picked out from metal mold.

[0481] Moreover, according to invention according to claim 11, it can make precise measuring unnecessary by giving more closure resin beforehand while it can attain generating prevention of a void, and equalization of the pressure of closure resin, since a surplus resin clearance device does a pressure-control function so.

[0482] Moreover, by having prepared immobilization / mold release device in the part in which the substrate of the 1st female mold half object is laid according to invention according to claim 12 When carrying out fixed actuation of the immobilization / mold release device, while being able to prevent that deformation of curvature etc. occurs in the substrate in resin seal processing, when the curvature of a substrate proper can be corrected and mold release actuation of the immobilization / mold release device is carried out further, the mold-release characteristic from the metal mold of a substrate can be raised.

[0483] Moreover, while being able to improve a mold-release characteristic by having formed the level difference section in the part to which the 2nd female mold half object touches the 1st female mold half object according to invention according to claim 13, the level difference section can be easily formed by having made the configuration of the level difference section into the shape of a rectangle.

[0484] Moreover, according to invention according to claim 14, the function make a resin layer prevent the destruction in a projection electrode, a semiconductor device, a mounting substrate, and the joint of each electrode can be given, and since it has already been formed in the semiconductor device before mounting processing, in case a resin layer mounts a semiconductor device, it becomes unnecessary to carry out restoration processing of the under-filling resin currently performed conventionally, and, thereby, it can make mounting processing easy.

[0485] Moreover, while being able to raise the heat dissipation property of a semiconductor device by having arranged radiator material in the semiconductor device according to claim 15 and invention according to claim 36, the reinforcement of a semiconductor device can be raised.

[0486] Moreover, it becomes possible according to invention according to claim 26 to use the back up plate as some metal mold, and since the location where closure resin touches direct metal mold can being few or completely be lost, clearance of the unnecessary resin adhering to the metal mold needed conventionally can become unnecessary, and simplification of the activity in a resin seal process can be attained.

[0487] Moreover, since according to claim 17 and invention according to claim 32 the condition of the front face of a semiconductor device and a tooth back can be equalized and balance of a semiconductor

device can be made good by covering both the front faces and tooth backs of a semiconductor device by closure resin, it can prevent that curvature occurs in a semiconductor device at the time of heat impression.

[0488] Moreover, according to claim 18 and invention according to claim 33, the mounting nature when mounting in the mounting substrate of a semiconductor device can be raised.

[0489] Moreover, according to invention according to claim 19, even if external force is impressed to the projection electrode for external connection and stress occurs, since stress relaxation of this stress is carried out with the jointing material for corrugated fibreboard which intervenes between the projection electrode for external connection, and a projection electrode, it can prevent that a damage occurs in a semiconductor device according to external force, and can raise the dependability of a semiconductor device.

[0490] Moreover, according to invention according to claim 20, it can prevent that a crack occurs to a substrate and closure resin by cutting a substrate in the formation location of the cutting location slot where the cutting location slot was formed in the location beforehand cut at the separation process of a substrate in before carrying out a resin seal process, and closure resin was filled up with the separation process.

[0491] Moreover, according to invention according to claim 21, it becomes possible to connect a semiconductor device to a mounting substrate electrically with the external connection electrode which the external connection electrode changed into the condition of having exposed outside by the interface of a substrate and a resin layer in the separation location, therefore was exposed to this flank. Moreover, since a terminal area can be exposed outside from a resin layer only by cutting the substrate with which the resin layer was only formed in the location in which the external connection electrode was formed, a semiconductor device can be manufactured very easily.

[0492] Moreover, since an external connection electrode can be exposed outside in two semiconductor devices which adjoin by performing one cutting processing, respectively according to invention according to claim 22, a semiconductor device can be manufactured efficiently. Moreover, since it can control that a garbage occurs in a substrate, efficient utilization of a substrate can be aimed at. Moreover, according to invention according to claim 23, it can do, although a location notch is formed in package to two or more semiconductor devices by forming a location notch before becoming possible to perform various positioning of a semiconductor device on the basis of a location notch and carrying out a separation process, and the formation effectiveness of a location notch can be raised.

[0493] Moreover, according to invention according to claim 24, since a location notch can form a location notch using the SUKURAIBINGU technique generally used at a separation process by being formed in the tooth back of a resin layer or a substrate by performing a half scribe, it can form a location notch with an easily and sufficient precision.

[0494] Moreover, according to invention according to claim 25, heights or a crevice is formed in a resin layer in a resin seal process, and this irregularity can be used as the positioning section of a semiconductor device.

[0495] Moreover, according to invention according to claim 26, it becomes possible by having discernment-ized the projection electrode for positioning, and other projection electrodes to perform various positioning of a semiconductor device on the basis of this projection electrode for positioning.

[0496] Moreover, according to invention according to claim 27, it can become possible to mount a semiconductor device using an external connection electrode, without forming a projection electrode, therefore the configuration of a semiconductor device can be simplified, and cost reduction can be planned. Moreover, since an external connection electrode is the configuration exposed to the flank of a semiconductor device, it can become possible [ mounting, where a semiconductor device is set up to a mounting substrate ], and can raise the packaging density of a semiconductor device.

[0497] Moreover, according to invention according to claim 28, the packaging density of a semiconductor device can be raised by mounting a semiconductor device in the state of a set-up to a mounting

substrate.

[0498] Moreover, according to claim 29 and invention according to claim 30, it can become possible to carry out unitization of two or more semiconductor devices, and to treat them, therefore, mounting processing can be performed to a mounting substrate per \*\*\*\*\* unit at the time of mounting, and improvement in mounting effectiveness can be aimed at.

[0499] Moreover, since it becomes the configuration that an interpauser board intervenes between a semiconductor device and a mounting substrate according to invention according to claim 31, the degree of freedom which mounts a semiconductor device in a mounting substrate can be raised.

[0500] Moreover, since there are no remains of gate breaking, while being able to improve the appearance of an appearance according to claim 34, claim 35, claim 37, claim 41, and invention according to claim 42, it can prevent that a poor chip occurs in a resin layer according to gate breaking.

[0501] Moreover, according to invention according to claim 43, the mold-release characteristic after resin seal process termination can be raised.

[0502] moreover, two or more electrode pads which were formed in the semiconductor device according to claim 45 and invention according to claim 46 and two or more projection electrodes formed on the semi-conductor substrate -- alienation -- since it can arrange, a degree of freedom can be given to the arrangement location of a projection electrode.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] the semiconductor device manufacture which are the resin seal process of the manufacture approach of the semiconductor device which is the 1st example, and the 1st example of this invention -- public funds -- it is drawing for explaining a mold.

[Drawing 2] It is drawing for explaining the resin seal process of the manufacture approach of the semiconductor device which is the 1st example.

[Drawing 3] It is drawing for explaining the resin seal process of the manufacture approach of the semiconductor device which is the 1st example.

[Drawing 4] It is drawing for explaining the resin seal process of the manufacture approach of the semiconductor device which is the 1st example.

[Drawing 5] It is drawing for explaining the resin seal process of the manufacture approach of the semiconductor device which is the 1st example.

[Drawing 6] It is drawing for explaining the projection electrode exposure process of the manufacture approach of the semiconductor device which is the 1st example, and (A) is drawing which shows the substrate immediately after resin seal process termination, and (B) expands the part shown by the arrow head A of (A), and is shown.

[Drawing 7] It is drawing for explaining the projection electrode exposure process of the manufacture approach of the semiconductor device which is the 1st example, and (A) is drawing which shows the substrate in the condition of having exfoliated the film, and (B) expands the part shown by the arrow head B of (A), and is shown.

[Drawing 8] It is drawing for explaining a separation process among the manufacture approaches of the semiconductor device which is the 1st example.

[Drawing 9] It is drawing for explaining the semiconductor device which is the 1st example.

[Drawing 10] the semiconductor device manufacture which are the manufacture approach of the semiconductor device which is the 2nd example, and the 2nd example of this invention -- public funds -- it is drawing for explaining a mold.

[Drawing 11] It is drawing for explaining the manufacture approach of the semiconductor device which is the 3rd example.

[Drawing 12] It is drawing for explaining the manufacture approach of the semiconductor device which is the 4th example.

[Drawing 13] It is drawing for explaining the manufacture approach of the semiconductor device which is the 5th example.

[Drawing 14] It is drawing for explaining the manufacture approach of the semiconductor device which is the 5th example.

[Drawing 15] It is drawing showing the example using sheet-like resin as closure resin.

[Drawing 16] It is drawing showing the example using potting as a supply means of closure resin.

[Drawing 17] It is drawing showing the example which arranged closure resin in the film side.

[Drawing 18] It is drawing for explaining the manufacture approach of the semiconductor device which is the 6th example.

[Drawing 19] It is drawing for explaining the manufacture approach of the semiconductor device which is the 7th example, and (A) is drawing which shows the substrate immediately after resin seal process termination, and (B) expands the part shown by the arrow head C of (A), and is shown.

[Drawing 20] It is drawing for explaining the manufacture approach of the semiconductor device which is the 7th example, and (A) is drawing which shows the substrate in the condition of having exfoliated the film, and (B) expands the part shown by the arrow head D of (A), and is shown.

[Drawing 21] It is drawing for explaining the manufacture approach of the semiconductor device which is the 7th example.

[Drawing 22] the semiconductor device manufacture which is the 3rd example -- public funds -- it is drawing for explaining a mold.

[Drawing 23] the semiconductor device manufacture which is the 4th example -- public funds -- it is drawing for explaining a mold.

[Drawing 24] the semiconductor device manufacture which is the 5th example -- public funds -- it is drawing for explaining a mold.

[Drawing 25] the semiconductor device manufacture which is the 6th example -- public funds -- it is drawing for explaining a mold.

[Drawing 26] It is drawing for explaining the semiconductor device which is the 2nd example.

[Drawing 27] It is drawing for explaining the semiconductor device which is the 3rd example.

[Drawing 28] It is drawing for explaining the manufacture approach of the semiconductor device which is the 8th example.

[Drawing 29] It is drawing for explaining the manufacture approach of the semiconductor device which is the 9th example.

[Drawing 30] It is drawing for explaining the manufacture approach of the semiconductor device which is the 10th example.

[Drawing 31] It is drawing for explaining the manufacture approach of the semiconductor device which is the 11th example.

[Drawing 32] It is drawing (the 1) for explaining the manufacture approach of the semiconductor device which is the 12th example.

[Drawing 33] It is drawing (the 2) for explaining the manufacture approach of the semiconductor device which is the 12th example.

[Drawing 34] It is drawing for explaining the manufacture approach of the semiconductor device which is the 13th example.

[Drawing 35] It is drawing for explaining the manufacture approach of the semiconductor device which is the 14th example.

[Drawing 36] It is drawing for explaining the manufacture approach of the semiconductor device which is the 15th example.

[Drawing 37] It is drawing for explaining the manufacture approach of the semiconductor device which is the 16th example.

[Drawing 38] It is drawing for explaining the manufacture approach of the semiconductor device which is the 17th example.

[Drawing 39] It is drawing for explaining the manufacture approach of the semiconductor device which is the 18th example.

[Drawing 40] It is drawing expanding and showing the substrate used by drawing 39 .

[Drawing 41] It is drawing for explaining the manufacture approach of the semiconductor device which is the 19th example.

[Drawing 42] It is drawing for explaining the manufacture approach of the semiconductor device which is the 20th example.

[Drawing 43] It is drawing for explaining the manufacture approach of the semiconductor device which is the 21st example.

[Drawing 44] It is drawing for explaining the manufacture approach of the semiconductor device which is the 22nd example.

[Drawing 45] It is drawing for explaining the manufacture approach of the semiconductor device which is the 23rd example.

[Drawing 46] It is the perspective view showing the semiconductor device with which the location notch was formed.

[Drawing 47] It is drawing for explaining the manufacture approach of the semiconductor device which is the 24th example.

[Drawing 48] It is drawing for explaining the manufacture approach of the semiconductor device which is the 25th example.

[Drawing 49] It is drawing for explaining the manufacture approach of the semiconductor device which is the 26th example.

[Drawing 50] It is drawing for explaining the manufacture approach of the semiconductor device which is the 27th example.

[Drawing 51] It is drawing for explaining the usual bump structure.

[Drawing 52] It is drawing for explaining the mounting approach of the semiconductor device which is the 1st example.

[Drawing 53] It is drawing for explaining the mounting approach of the semiconductor device which is the 2nd example.

[Drawing 54] It is drawing for explaining the mounting approach of the semiconductor device which is the 3rd example.

[Drawing 55] It is drawing for explaining the mounting approach of the semiconductor device which is the 4th example.

[Drawing 56] It is drawing for explaining the mounting approach of the semiconductor device which is the 5th example.

[Drawing 57] It is drawing for explaining the mounting approach of the semiconductor device which is

the 6th example.

[Drawing 58] It is drawing for explaining the mounting approach of the semiconductor device which is the 7th example.

[Drawing 59] It is drawing for explaining the manufacture approach of the semiconductor device which is the 28th example.

[Drawing 60] It is drawing (the 1) for explaining the manufacture approach of the semiconductor device which is the 29th example.

[Drawing 61] It is drawing (the 2) for explaining the manufacture approach of the semiconductor device which is the 29th example.

[Drawing 62] It is drawing (the 3) for explaining the manufacture approach of the semiconductor device which is the 29th example.

[Drawing 63] It is drawing for explaining the semiconductor device which is the 4th example.

[Drawing 64] It is drawing for explaining the mounting approach of the semiconductor device which is the 8th example.

[Drawing 65] It is drawing for explaining the mounting approach of the semiconductor device which is the 9th example.

[Drawing 66] It is drawing for explaining the mounting approach of the semiconductor device which is the 10th example.

[Drawing 67] It is drawing for explaining the mounting approach of the semiconductor device which is the 11th example.

[Drawing 68] It is drawing (the 1) for explaining the manufacture approach of other semiconductor devices.

[Drawing 69] It is drawing (the 2) for explaining the manufacture approach of other semiconductor devices.

[Drawing 70] It is drawing (the 3) for explaining the manufacture approach of other semiconductor devices.

[Drawing 71] It is drawing for explaining the configuration of other semiconductor devices.

[Drawing 72] It is drawing (the 1) for explaining the manufacture approach of other semiconductor devices.

[Drawing 73] It is drawing (the 2) for explaining the manufacture approach of other semiconductor devices.

[Drawing 74] It is drawing (the 3) for explaining the manufacture approach of other semiconductor devices.

[Drawing 75] It is drawing (the 4) for explaining the manufacture approach of other semiconductor devices.

[Drawing 76] the semiconductor device concerning the 6th example -- public funds -- it is drawing showing the modification of a mold.

[Drawing 77] the semiconductor device concerning the 6th example -- public funds -- it is drawing showing the modification of a mold.

[Drawing 78] It is drawing for explaining the conventional semiconductor device and an example of the manufacture approach.

[Description of Notations]

10, 10A-10J, 160,170,170A Semiconductor device

11,112,161,171 Semiconductor device

12 12A Bump

12B The bump for positioning

13, 13A, 13B, 163 Resin layer

14 Mounting Substrate

15 Connection Electrode



16 Substrate  
16a Substrate cutting section  
17 2nd Resin Layer  
18 Straight Bump  
19 31 Heights  
20, 20A-20G Metal mold  
21 21F Punch  
22, 22A, 22F Female mold  
23, 23C, 23D, 23F 1st female mold half object  
24, 24A, 24D, 24E, 24F 2nd female mold half object  
27 Ramp  
28 Cavity  
29 Dicer  
30, 30A-30C Film  
32 55 Crevice  
35 35A Closure resin  
36 2nd Closure Resin  
40 Surplus Resin Clearance Device  
41 Opening  
42 Pot Section  
43 Pressure-Control Rod  
50 50A Back up plate  
51 Sheet-like Resin  
52 Liquefied Resin  
54 Frame Part  
60 Laser Radiation Equipment  
70 Immobilization / Mold Release Device  
71 Porosity Member  
72 Pumping Equipment  
74 Level Difference Section  
75 Adhesion Processing Film  
80 Stage Member  
81 Dam Section  
90,143,163 Bump for external connection  
91 Stress Relaxation Jointing Material for Corrugated Fibreboard  
92 Pole Electrode  
96 Cash-Drawer Wiring  
97 Electrode Pad  
98 Connection Electrode  
99 Core Section  
100 Electric Conduction Film  
102 Insulator Layer  
105 Cutting Location Slot  
106 Cutting Location Resin Layer  
110a, 110b Stress relaxation slot  
111a, 111b Stress relaxation resin layer  
113 Film Member  
114 Gap Section  
115 Heat Sink

120-122 Location notch  
123 Locating Lug  
125,142 Jointing material for corrugated fibreboard  
126 Under-filling Resin  
127,128 Radiation fin  
129 Bump for Substrate Junction  
130-132,147,162 Interpauser board  
136,137 Bump for mounting  
138 Edge Connector  
140 External Connection Electrode  
144 Adhesives  
145 Supporter Material  
148,166 Up electrode  
149,167 Lower electrode  
150 Internal Wiring  
168,178 Wire  
169 Through Hole  
172 Resin Package  
173 Metal Membrane  
177 Projection Electrode  
180 Leadframe

---

[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-069938

(43)Date of publication of application : 08.03.1990

(51)Int.Cl. H01L 21/304  
H01L 21/027  
H01L 21/312

(21)Application number : 63-222806

(71)Applicant : NEC CORP

(22)Date of filing : 05.09.1988

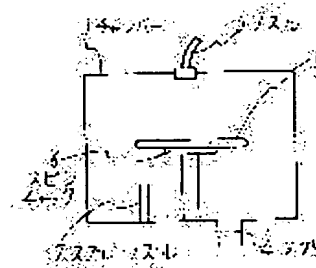
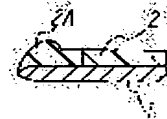
(72)Inventor : TERADA HITOSHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To prevent a wafer from cracking by removing a resist film formed on the peripheral edge of the wafer, and then grinding the rear face of the wafer.

**CONSTITUTION:** A wafer 1 formed with an element on its front face is vacuum secured by a spin chuck 6, which is rotated, resist is dropped from an upper nozzle 5, and organic solvent is sprayed from a lower spray nozzle 7, thereby removing the resist introduced into the rear face of the wafer 1. Then, the periphery of the wafer 1 is exposed to form the exposed part 2A of the film 2. Subsequently, the film 2 is removed, and the rear face of the wafer 1 is grounded.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-69938

⑬ Int. Cl.<sup>8</sup>

H 01 L 21/304  
21/027  
21/312

識別記号

3 3 1

庁内整理番号

8831-5F

⑭ 公開 平成2年(1990)3月8日

Z

6824-5F  
7376-5F

H 01 L 21/30

3 6 1 W

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-222806

⑰ 出 願 昭63(1988)9月5日

⑱ 発 明 者 寺 田 仁 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体装置の製造方法

特 許 請 求 の 範 囲

半導体ウェハの表面に素子を形成したのち該ウェハの裏面を研削するためにウェハ表面にレジスト膜を形成する半導体装置の製造方法において、前記ウェハの周縁部に形成されたレジスト膜を除去したのちウェハの裏面を研削することを特徴とする半導体装置の製造方法。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に半導体ウェハの裏面を研削するためのレジスト保護膜の形成方法に関する。

〔従来の技術〕

従来、半導体ウェハ（以下単にウェハとい

う）の表面に素子を形成したのちその裏面を研削する場合は、ウェハ表面へレジストを塗布して行なわれるが、この塗布は、スピン・コーターによる滴下方式で行なわれていた。

第3図は従来のスピン・コーターによって形成されたレジスト膜を有するウェハ端部の断面図である。

第3図に示したように、スピン・コーターにより形成されたレジスト膜2はウェハ1の端部において厚くなり、しかもその一部はウェハ1の表面から裏面へまわり込んで形成されていた。

〔発明が解決しようとする課題〕

前述した従来の半導体装置の製造方法におけるスピン・コーターによるレジスト膜の形成方法では、第3図に示した様に、回転中の遠心力によりウェハ1の周辺にレジストが溜った状態で形成されるため、ウェハ1の周辺が盛り上ったり、ウェハ裏面にレジストが回り込んだりする為、後工程の裏面研削において、回り込んだレジストにより砥石が目づまりしてウェハが割れたり、

盛り上ったレジストによりウェハーが歪んで、割れや、クラックが発生する欠点がある。

この対策としてレジスト膜を薄く形成する方法が用いられているが、レジスト膜が薄い場合は付着するごみ等の粒子による割れやクラックが発生したり、さらにウェハーの素子側表面の凹凸の激しいものはレジスト方式では研削出来ないという欠点があった。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、半導体ウェハーの表面に素子を形成したのち該ウェハーの裏面を研削するためにウェハー表面にレジスト膜を形成する半導体装置の製造方法であって、前記ウェハーの周縁部に形成されたレジスト膜を除去したのちウェハーの裏面を研削するものである。

〔実施例〕

次に、本発明について図面を用いて説明する。

第1図(a)～(c)は本発明の一実施例を説明するためのウェハー端部の断面図、第2図は本発明の一実施例に用いるスピン・コーターの断面

図である。

第2図において、チャンバー3内には下部からウェハー1の裏面端部に当る様に有機溶剤のスプレーノズル5が取り付けられている。表面に素子が形成されたウェハー1をスピンチャック6で真空固定し、チャック6を回転させ、上方のノズル5によりレジストを滴下し、その後下方のスプレーノズル7から有機溶剤をスプレーし、ウェハー1の裏面に回り込んだレジストを除去する。このようにして形成されたウェハー1の端部を第1図(a)に示す。

次に第1図(b)に示すように、コンタクト方式の露光機によりウェハー1の周辺部を露光し、レジスト膜2の露光部2Aを形成する。

次に第1図(c)に示すように、現像を行なう事によりウェハー1の端部に形成されたレジスト膜2を除去する。以下従来と同様の操作によりウェハー1の裏面研削を行なう。

このように本実施例によれば、スピン・コーターでウェハー1上に形成されるレジスト膜のう

-3-

-4-

ち、裏面に回り込んだレジスト膜はスプレーノズル7からの有機溶剤により除去し、更にウェハー1の端部に厚く形成されたレジスト膜2を露光・現像により除去できる。従って保護膜としてのレジスト膜2をウェハー1の表面に厚くしかも均一に形成することができるため、ウェハー1の表面に大きな凹凸が形成されていたり、またごみ等の粒子が付着した場合でもウェハーに割れやクラックが発生することはなくなる。

〔発明の効果〕

以上説明した様に本発明は、ウェハーの周縁部に形成されたレジスト膜を除去したのちウェハーの裏面研削を行うことにより、ごみや素子表面の凹凸に起因する半導体ウェハーのクラックや割れの発生をなくすることができる。従って半導体装置の製造歩留りは向上する。

図面の簡単な説明

第1図(a)～(c)は本発明の一実施例を説明するためのウェハー端部の断面図、第2図は本

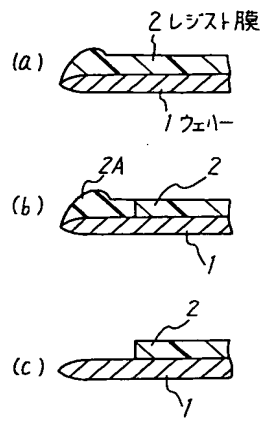
発明の一実施例で用いるスピン・コーターの断面図、第3図は従来の半導体装置の製造方法を説明するためのウェハー端部の断面図である。

1…ウェハー、2…レジスト膜、2A…露光部、3…チャンバー、4…ダクト、5…ノズル、6…スピンチャック、7…スプレーノズル。

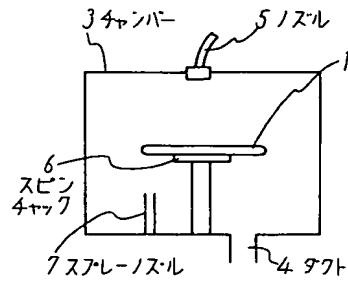
代理人 井理士 内 原 晋

-5-

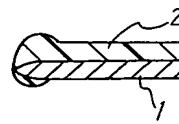
-6-



第 1 図



第 2 図



第 3 図

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-152358

(43)Date of publication of application : 11.07.1986

---

(51)Int.Cl. B24B 7/04  
B24B 41/06  
H01L 21/304  
// B24B 37/04

---

(21)Application number : 59-272306

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.12.1984

(72)Inventor : SHIN HIDEO

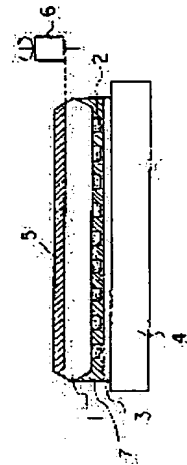
---

## (54) GRINDING METHOD FOR SEMICONDUCTOR WAFER

### (57)Abstract:

**PURPOSE:** To prevent the fouling of the surface of a wafer and its damage by forming a flat resin layer on the said surface, fixing the layer with a chuck and enabling the grinding of the back of the wafer.

**CONSTITUTION:** A resin layer 7 is formed on the upper surface of a semiconductor wafer and the said surface is flattened by covering the projecting part 2 with the resin layer 7. Then, an adhesive tape 3 is pasted to the resin layer 7 and the wafer is fixed to a chuck 4. And the lower surface 5 of the wafer 1 is cut by a rotary grinding wheel 6. This constitution can prevent the damage of the wafer and the fouling of its surface.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月11日

B 24 B 7/04

7512-3C

41/06

8308-3C

H 01 L 21/304

B-7376-5F

// B 24 B 37/04

7712-3C

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 半導体ウェハの研削方法

⑯ 特 願 昭59-272306

⑰ 出 願 昭59(1984)12月24日

⑱ 発 明 者 進 日 出 夫 大分市大字松岡3500番地 株式会社東芝大分工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外2名

## 明 細 書

## 1. 発明の名称 半導体ウェハの研削方法

## 2. 特許請求の範囲

1. 半導体ウェハの表面に、上面が平面状になるように樹脂層を形成し、この樹脂層をチャックで固定し、前記半導体ウェハの裏面を研削することを特徴とする半導体ウェハの研削方法。

2. 樹脂層がパラフィンろうから成ることを特徴とする特許請求の範囲第1項記載の半導体ウェハの研削方法。

## 3. 発明の詳細な説明

## (発明の技術分野)

本発明は半導体ウェハの研削方法、特に表面をチャックで固定し、裏面を研削する半導体ウェハの研削方法に関する。

## (発明の技術的背景)

半導体ウェハの表面に素子を形成した後、ダイ

シング工程を行なう前に、ウェハの総厚を薄くするためウェハ裏面の研削が行なわれる。一般に行なわれているラッピングと呼ばれる工程は、ウェハ表面を吸引あるいは粘着テープで固定し、裏面を砥石で研削する方法である。第2図に従来の研削方法の一例を示す。半導体ウェハ1の表面には、一般に凸部2が形成され、これに粘着テープ3を粘着し、ウェハ1をチャック4に固定する。ウェハ1の裏面の研削部5は、回転する砥石6によって研削される。

## (背景技術の問題点)

従来の研削方法では、ウェハ1の表面の凹凸部に、研削時の削りかすや汚れが付着し、ウェハ上の素子に悪影響を与えるという欠点があった。また、チャック4に固定する場合、凹凸による段差が生じ、研削中にウェハ1が割れたり欠けたりして、損傷が発生することもあった。

## (発明の目的)

そこで本発明は、研削中にウェハ表面に汚れが付着することなく、また、ウェハに損傷が発生す



ることのない半導体ウェハの研削方法を提供することを目的とする。

(発明の概要)

本発明の特徴は、半導体ウェハの裏面を研削する場合に、半導体ウェハの表面に、上面が平面状になるように樹脂層を形成し、この樹脂層をチャックで固定して研削を行なうようにし、研削中にウェハ表面に汚れが付着することなく、また、ウェハに損傷が発生することのないようにした点にある。

(発明の実施例)

以下本発明を第1図に示す実施例に基づいて説明する。半導体ウェハ1は研削前に、上面(図では下側の面)に樹脂層7が形成される。この樹脂層7はパラフィンろうのようなワックス類や、通常のレジストに用いられる樹脂でよい。この樹脂層7は凸部2を覆うように、しかも上面が平面状になるように形成させる。この樹脂層7に粘着テープ3を粘着してチャック4にウェハ1を固定する。ウェハ1の裏面の研削部5は、回転する砥石

6によって研削される。ウェハ1の表面は樹脂層7で覆われており、研削中に汚れが付着することがなく、またチャック7への固定面は平面状となっているため、ウェハ1が損傷することもない。

(発明の効果)

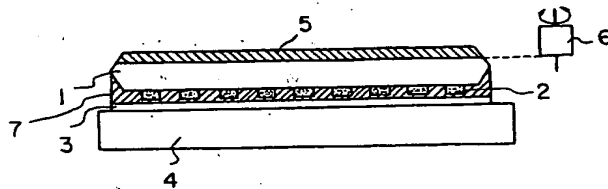
以上のとおり本発明によれば、半導体ウェハの研削の際に、ウェハ表面の凹凸部を樹脂で覆うようにしたため、研削中にウェハ表面に汚れが付着することがなくなり、また、ウェハが損傷することなくなる。

4. 図面の簡単な説明

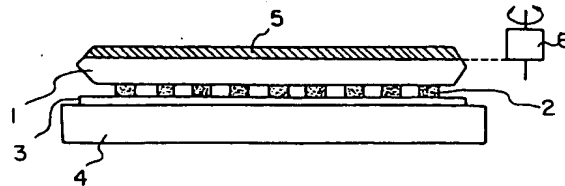
第1図は本発明の一実施例の説明図、第2図は従来の方法の一例の説明図である。

1…半導体ウェハ、2…凸部、3…粘着テープ、4…チャック、5…研削部、6…砥石、7…樹脂層。

第1図



第2図



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-294578  
(P2000-294578A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L	21/56	H 0 1 L 21/56	R
	21/301	21/78	Q
	23/12	23/12	L
	23/52	23/52	C
	23/522		B

審査請求 有 請求項の数47 O L (全 55 頁) 最終頁に続く

(21) 出願番号 特願2000-78965(P2000-78965)  
(62) 分割の表示 特願平9-10683の分割  
(22) 出願日 平成9年1月23日 (1997. 1. 23)  
  
(31) 優先権主張番号 特願平8-183844  
(32) 優先日 平成8年7月12日 (1996. 7. 12)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(71) 出願人 000237570  
富士通オートメーション株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72) 発明者 深澤 則雄  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74) 代理人 100070150  
弁理士 伊東 忠彦

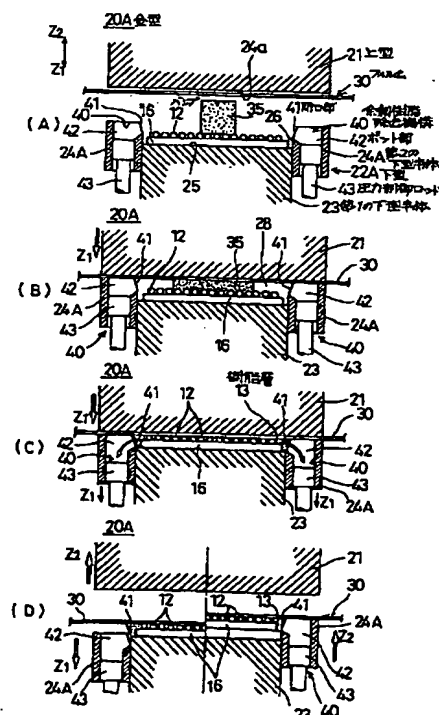
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置製造用金型及び半導体装置及びその実装方法

(57) 【要約】

【課題】 本発明はチップサイズパッケージ構造を有した半導体装置の製造方法及び半導体装置製造用金型及び半導体装置及びその実装方法に関し、半導体装置の製造効率及び信頼性の向上を図ることを課題とする。

【解決手段】 バンプ12が配設された複数の半導体素子11が形成された基板16を金型20のキャビティ28内に装着し、続いてバンプ12の配設位置に樹脂35を供給してバンプ12を封止し樹脂層13を形成する樹脂封止工程と、樹脂層13に覆われたバンプ12の少なくとも先端部を樹脂層13より露出させる突起電極露出工程と、基板16を樹脂層13と共に切断して個々の半導体素子11に分離する分離工程とを有する。



(2)

## 【特許請求の範囲】

【請求項1】 突起電極が配設された複数の半導体素子が形成された基板を金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、  
前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、  
前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、  
前記樹脂封止工程で用いられる封止樹脂は、封止処理後における前記樹脂層の高さが前記突起電極の高さと略等しい高さとなる量に計量されていることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法において、  
前記樹脂封止工程で、前記突起電極と前記金型との間にフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1乃至3の何れかに記載の半導体装置の製造方法において、  
前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いたことを特徴とする半導体装置の製造方法。

【請求項5】 請求項3または4記載の半導体装置の製造方法において、  
前記封止樹脂を前記樹脂封止工程の実施前に予め前記フィルムに配設することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、  
前記封止樹脂を前記フィルムに複数個配設しておき、前記フィルムを移動させることにより、連続的に前記樹脂封止工程を実施することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至6記載のいずれかに記載の半導体装置の製造方法において、  
前記樹脂封止工程で前記金型に前記基板を装着する前に補強板を装着しておくことを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、  
前記補強板として放熱性の良好な材料を選定したことを特徴とする半導体装置の製造方法。

【請求項9】 請求項1乃至8のいずれかに記載の半導体装置の製造方法において、  
前記突起電極露出工程で前記樹脂層に覆われた突起電極

の少なくとも先端部を前記樹脂層より露出させる手段として、レーザ光照射、エキシマレーザ、エッチング、機械研磨、及びブラストの内、少なくとも1の手段を用いることを特徴とする半導体装置の製造方法。

【請求項10】 第1の金型と、  
前記第1の金型と対向する位置に設けられた第2の金型とを有し、  
前記第2の金型は、基板の形状に対応した形状を有する第1の半体と、前記第1の半体を囲むように配設されると共に前記第1の半体に対して昇降可能な第2の半体とを有し、  
前記第1の金型と第2の金型が協働して樹脂充填が行われるキャビティを形成する構成としたことを特徴とする半導体装置製造用金型。

【請求項11】 請求項10記載の半導体装置製造用金型において、  
樹脂成形時に余剰樹脂の除去処理を同時に行うと共に前記封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことを特徴とする半導体装置製造用金型。

【請求項12】 請求項10または11記載の半導体装置製造用金型において、  
前記第1の半体の前記基板が載置される部位に、前記基板を前記第1の半体に固定・離型させる固定・離型機構を設けたことを特徴とする半導体装置製造用金型。

【請求項13】 請求項10乃至12のいずれかに記載の半導体装置製造用金型において、  
前記キャビティを形成した状態において、前記第1の半体の上部の面積よりも前記第2の半体で囲繞される面積が広がる部分を有する構成としたことを特徴とする半導体装置製造用金型。

【請求項14】 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、  
前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備することを特徴とする半導体装置。

【請求項15】 請求項14記載の半導体装置において、  
前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設したことを特徴とする半導体装置。

【請求項16】 請求項7または8記載の半導体装置の製造方法において、  
前記樹脂封止工程において、予め前記封止樹脂を前記補強板に配設しておくことを特徴とする半導体装置の製造方法。

【請求項17】 請求項1乃至9のいずれかに記載の半導体装置の製造方法において、  
前記樹脂封止工程で前記突起電極が配設された前記基板の表面に第1の樹脂層を形成した後、または同時に、前記基板の背面を覆うように第2の樹脂層を形成すること

(3)

3

を特徴とする半導体装置の製造方法。

【請求項18】 請求項1乃至9または請求項16または請求項17のいずれかに記載の半導体装置の製造方法において、

前記突起電極露出工程で前記突起電極の少なくとも先端部を前記樹脂層より露出させた後に、

前記突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施することを特徴とする半導体装置の製造方法。

【請求項19】 請求項18記載の半導体装置の製造方法において、

前記外部接続用突起電極形成工程で、前記突起電極と前記外部接続用突起電極を応力緩和機能を有する接合材を用いて接合させることを特徴とする半導体装置の製造方法。

【請求項20】 請求項1乃至9のいずれか、または請求項16乃至19のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置に切断位置溝を形成しておき、

前記分離工程において、前記封止樹脂が充填された前記切断位置溝の形成位置で前記基板を切断することを特徴とする半導体装置の製造方法。

【請求項21】 外部と接続される外部接続電極が表面に形成された複数の半導体素子が形成された基板を金型内に装着し、続いて前記表面に封止樹脂を供給して前記外部接続電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、

前記外部接続電極が形成された位置で前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

【請求項22】 請求項21記載の半導体装置の製造方法において、

前記分離工程実施前では、前記外部接続電極が前記基板に形成された隣接する半導体素子間で共有化されていることを特徴とする半導体装置の製造方法。

【請求項23】 請求項1乃至9のいずれか、または請求項16乃至22のいずれかに記載の半導体装置の製造方法において、

少なくとも前記樹脂封止工程の実施後で、かつ前記分離工程を実施する前に、前記樹脂層または前記基板の背面に位置決め溝を形成することを特徴とする半導体装置の製造方法。

【請求項24】 請求項23記載の半導体装置の製造方法において、

前記位置決め溝は、前記樹脂層または前記基板の背面にハーフスクライブを行なうことにより形成されることを特徴とする半導体装置の製造方法。

4

【請求項25】 請求項3乃至9のいずれか、または請求項16乃至20のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で、前記フィルムとして前記突起電極と干渉しない位置に凸部または凹部が形成されたものを用い、

前記樹脂封止工程の終了後に、前記凸部または凹部により前記樹脂層上に形成される凹凸を位置決め部として用いることを特徴とする半導体装置の製造方法。

【請求項26】 請求項1乃至9のいずれか、または請求項16乃至20のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程の終了後、位置決め基準として用いる位置決め用突起電極の形成位置における封止樹脂を加工し、前記位置決め用突起電極と他の突起電極とを識別しうようようにすることを特徴とする半導体装置の製造方法。

【請求項27】 外部端子と電気的に接続される外部接続電極が表面に形成された半導体素子と、

前記外部接続電極を覆うように前記半導体素子の表面に圧縮成形された樹脂層とを具備し、

前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成としたことを特徴とする半導体装置。

【請求項28】 請求項27記載の半導体装置の実装方法であって、

前記半導体装置を実装基板に対し立設状態で実装することを特徴とする半導体装置の実装方法。

【請求項29】 請求項28記載の半導体装置の実装方法であって、

前記半導体装置を複数個並列状態に実装すると共に、隣接する前記半導体装置同士を接着剤により接合することを特徴とする半導体装置の実装方法。

【請求項30】 請求項28記載の半導体装置の実装方法であって、

前記半導体装置を複数個並列状態に実装すると共に、前記複数の半導体装置を支持部材を用いて立設状態に支持することを特徴とする半導体装置の実装方法。

【請求項31】 請求項14または請求項15または請求項27のいずれかに記載の半導体装置の実装方法であって、

前記半導体装置をインターポーザ基板を介して実装基板に実装することを特徴とする半導体装置の実装方法。

【請求項32】 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、

前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された第1の樹脂層と、

少なくとも前記半導体素子の背面を覆うように圧縮成形された第2の樹脂層とを具備することを特徴とする半導

(4)

5

体装置。

【請求項33】 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、  
前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層と、  
前記樹脂層から露出した前記突起電極の先端部に形成された外部接続用突起電極とを具備することを特徴とする半導体装置。

【請求項34】 少なくとも表面上に突起電極が形成されてなる半導体素子と、  
前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備しており、  
前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とする半導体装置。

【請求項35】 請求項34記載の半導体装置において、  
前記樹脂層の側面と前記半導体素子の側面とが同一平面となるよう構成したことを特徴とする半導体装置。

【請求項36】 請求項34または35記載の半導体装置において、  
前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設したことを特徴とする半導体装置。

【請求項37】 突起電極が配設された複数の半導体素子が形成された基板を金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、  
前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、  
ダイサーを用い前記樹脂層の側面と前記半導体素子の側面とが同一平面となるよう、前記基板と前記樹脂層を共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

【請求項38】 請求項37記載の半導体装置の製造方法において、  
前記樹脂封止工程で、前記突起電極と前記金型との間にフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

【請求項39】 請求項37または38記載の半導体装置の製造方法において、  
前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いたことを特徴とする半導体装置の製造方法。

【請求項40】 請求項37乃至39記載のいずれかに記載の半導体装置の製造方法において、  
前記樹脂封止工程で前記金型に前記基板を装着する前に

6

補強板を装着しておくことを特徴とする半導体装置の製造方法。

【請求項41】 外部端子と電氣的に接続される外部接続電極が表面に形成された半導体素子と、  
前記外部接続電極を覆うように前記半導体素子の表面に圧縮成形された樹脂層とを具備し、  
前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成とされた半導体装置であって、  
前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とする半導体装置。

【請求項42】 少なくとも表面上に突起電極が形成されてなる半導体素子と、  
前記半導体素子の表面上及び前記突起電極の先端部を覆うよう圧縮成形された樹脂層とを具備しており、  
前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とする半導体装置。

【請求項43】 請求項1記載の半導体装置の製造方法において、  
前記樹脂封止工程で、前記基板と前記金型との間にフィルムを配設することを特徴とする半導体装置の製造方法。

【請求項44】 突起電極が配設された複数の半導体素子が形成された基板の前記突起電極の配設位置に封止部材を供給して前記突起電極及び前記基板を前記封止部材で封止し封止層を形成する封止工程と、  
前記封止部材を加熱することにより該封止部材を硬化させる硬化工程と、  
前記突起電極の少なくとも先端部を前記封止層より露出させる突起電極露出工程と、  
前記基板を前記封止層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

【請求項45】 半導体素子に形成された複数の電極パッドと、  
前記電極パッドに対し離間するよう、前記半導体基板上に形成された複数の突起電極と、  
前記電極パッドと前記突起電極との間に選択的に配設されることにより、前記電極パッドと前記突起電極とを接続する配線と、  
前記半導体素子の表面上に少なくとも前記電極パッド及び前記配線を覆うよう形成されると共に、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備しており、  
前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とする半導体装置。

【請求項46】 請求項45記載の半導体装置におい

(5)

7

て、  
前記突起電極の配設ピッチを前記電極パッドの配設ピッチに対して大きく設定したことを特徴とする半導体装置。

【請求項47】 少なくとも表面上に突起電極が直接形成されてなる半導体ウエハーと、  
前記半導体ウエハーの表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法及び半導体装置製造用金型及び半導体装置に係り、特にチップサイズパッケージ構造を有した半導体装置の製造方法及び半導体装置製造用金型及び半導体装置に関する。

【0002】近年、電子機器及び装置の小型化の要求に伴い、半導体装置の小型化、高密度化が図られている。このため、半導体装置の形状を半導体素子（チップ）に極力と近づけることにより小型化を図った、いわゆるチップサイズパッケージ構造の半導体装置が提案されている。

【0003】また、高密度化により多ピン化し、かつ半導体装置が小型化すると、外部接続端子のピッチが狭くなる。このため、省スペースに比較的多数の外部接続端子を形成しうる構造として、外部接続端子として突起電極（パンプ）を用いることが行われている。

【0004】

【従来の技術】図78（A）は、従来のベアチップ（フリップチップ）実装に用いられる半導体装置の一例を示している。同図に示す半導体装置1は、大略すると半導体素子2（半導体チップ）、及び多数の突起電極4（パンプ）等とにより構成されている。

【0005】半導体素子2の下面には外部接続端子となる突起電極4が、例えばマトリックス状に多数形成されている。この突起電極4は半田等の柔らかい金属により形成されたものであるため傷が付きやすく、ハンドリングやテストを実施するのが難しいものである。同様に、半導体素子2もベアチップ状態であるため傷が付きやすく、よって突起電極4と同様にハンドリングや試験を実施するのが難しい。

【0006】また、上記した半導体装置1を実装基板5（例えば、プリント配線基板）に実装するには、図78（B）に示されるように、先ず半導体装置1に形成されている突起電極4を実装基板5に形成されている電極5aに接合する。続いて、図78（C）に示されるように、半導体素子2と実装基板5との間に、いわゆるアンダーフィルレジン6（梨地で示す）を装填する。

【0007】このアンダーフィルレジン6は、比較的流

8

動性を有する樹脂を半導体素子2と実装基板5との間に形成された間隙7（突起電極4の高さと略等しい）に充填することにより形成される。

【0008】このようにして形成されるアンダーフィルレジン6は、半導体素子2と実装基板5との熱膨張差に基づき発生する応力及び実装時の熱により開放された時に発生する半導体素子2の電極と突起電極4との接合部に印加される応力により、突起電極4と実装基板5の電極5aとの接合部位の破壊、若しくは突起電極4と半導体素子2の電極との接合部位の破壊を防止するために設けられるものである。

【0009】

【発明が解決しようとする課題】上記したようにアンダーフィルレジン6は、突起電極4と実装基板5との破壊（特に、電極と突起電極4との間における破壊）を防止する面から有効である。しかるに、このアンダーフィルレジン6は、半導体素子2と実装基板5との間に形成された狭い間隙7に充填するため充填作業が面倒であり、また間隙7の全体に均一にアンダーフィルレジン6を配設するのが困難である。このため、半導体装置の製造効率が低下したり、またアンダーフィルレジン6を形成したにも拘わらず突起電極4と電極5aとの接合部、若しくは突起電極4と半導体素子2の電極との接合部における破壊が発生し、実装における信頼性が低下してしまうという問題点があった。

【0010】本発明は上記の点に鑑みてなされたものであり、半導体装置の製造効率及び信頼性の向上を図りうる半導体装置の製造方法及び半導体装置製造用金型及び半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の課題は、下記の手段を講じることにより解決することができる。

【0012】請求項1記載の発明に係る半導体装置の製造方法では、突起電極が配設された複数の半導体素子が形成された基板を金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とするものである。

【0013】また、請求項2記載の発明では、請求項1記載の半導体装置の製造方法において、前記樹脂封止工程で用いられる封止樹脂は、封止処理後における前記樹脂層の高さが前記突起電極の高さと略等しい高さとなる量に計量されていることを特徴とするものである。

【0014】また、請求項3記載の発明では、請求項1または2記載の半導体装置の製造方法において、前記樹脂封止工程で、前記突起電極と前記金型との間にフィルムを配設し、前記金型が前記フィルムを介して前記封止

50

9

樹脂と接触するよう構成したことを特徴とするものである。

【0015】また、請求項4記載の発明では、請求項1乃至3の何れかに記載の半導体装置の製造方法において、前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いたことを特徴とするものである。

【0016】また、請求項5記載の発明では、請求項3または4記載の半導体装置の製造方法において、前記封止樹脂を前記樹脂封止工程の実施前に予め前記フィルムに配設することを特徴とするものである。

【0017】また、請求項6記載の発明では、請求項5記載の半導体装置の製造方法において、前記封止樹脂を前記フィルムに複数個配設しておき、前記フィルムを移動させることにより、連続的に前記樹脂封止工程を実施することを特徴とするものである。

【0018】また、請求項7記載の発明では、請求項1乃至6記載のいずれかに記載の半導体装置の製造方法において、前記樹脂封止工程で前記金型に前記基板を装着する前に補強板を装着しておくことを特徴とするものである。

【0019】また、請求項8記載の発明では、請求項7記載の半導体装置の製造方法において、前記補強板として放熱性の良好な材料を選定したことを特徴とするものである。

【0020】また、請求項9記載の発明では、請求項1乃至8のいずれかに記載の半導体装置の製造方法において、前記突起電極露出工程で前記樹脂層に覆われた突起電極の少なくとも先端部を前記樹脂層より露出させる手段として、レーザ光照射、エキシマレーザ、エッチング、機械研磨、及びブラストの内、少なくとも1の手段を用いることを特徴とするものである。

【0021】また、請求項10記載の発明に係る半導体装置製造用金型では、第1の金型と、前記第1の金型と対向する位置に設けられた第2の金型とを有し、前記第2の金型は、基板の形状に対応した形状を有する第1の半体と、前記第1の半体を囲むように配設されると共に前記第1の半体に対して昇降可能な第2の半体とを有し、前記第1の金型と第2の金型が協働して樹脂充填が行われるキャビティを形成する構成としたことを特徴とするものである。

【0022】また、請求項11記載の発明では、請求項10記載の半導体装置製造用金型において、樹脂成形時に余剰樹脂の除去処理を同時に行うと共に前記封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことを特徴とするものである。

【0023】また、請求項12記載の発明では、請求項10または11記載の半導体装置製造用金型において、前記第1の半体の前記基板が載置される部位に、前記基板を前記第1の半体に固定・離型させる固定・離型機構を設けたことを特徴とするものである。

(6)

10

【0024】また、請求項13記載の発明では、請求項10乃至12のいずれかに記載の半導体装置製造用金型において、前記キャビティを形成した状態において、前記第1の半体の上部の面積よりも前記第2の半体で囲繞される面積が広がる部分を有する構成としたことを特徴とするものである。

【0025】また、請求項14記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備することを特徴とするものである。

【0026】また、請求項15記載の発明では、請求項14記載の半導体装置において、前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設したことを特徴とするものである。

【0027】また、請求項16記載の発明では、請求項7または8記載の半導体装置の製造方法において、前記樹脂封止工程において、予め前記封止樹脂を前記補強板に配設しておくことを特徴とするものである。

【0028】また、請求項17記載の発明では、請求項1乃至9のいずれかに記載の半導体装置の製造方法において、前記樹脂封止工程で前記突起電極が配設された前記基板の表面に第1の樹脂層を形成した後、または同時に、前記基板の背面を覆うように第2の樹脂層を形成することを特徴とするものである。

【0029】また、請求項18記載の発明では、請求項1乃至9または請求項16または請求項17のいずれかに記載の半導体装置の製造方法において、前記突起電極露出工程で前記突起電極の少なくとも先端部を前記樹脂層より露出させた後に、前記突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施することを特徴とするものである。

【0030】また、請求項19記載の発明では、請求項18記載の半導体装置の製造方法において、前記外部接続用突起電極形成工程で、前記突起電極と前記外部接続用突起電極を応力緩和機能を有する接合材を用いて接合させることを特徴とするものである。

【0031】また、請求項20記載の発明では、請求項1乃至9のいずれか、または請求項16乃至19のいずれかに記載の半導体装置の製造方法において、前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置に切断位置溝を形成しておき、前記分離工程において、前記封止樹脂が充填された前記切断位置溝の形成位置で前記基板を切断することを特徴とするものである。

【0032】また、請求項21記載の発明に係る半導体装置の製造方法では、外部と接続される外部接続電極が表面に形成された複数の半導体素子が形成された基板を金型内に装着し、続いて前記表面に封止樹脂を供給して

(7)

11

前記外部接続電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記外部接続電極が形成された位置で前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とするものである。

【0033】また、請求項22記載の発明では、請求項21記載の半導体装置の製造方法において、前記分離工程実施前では、前記外部接続電極が前記基板に形成された隣接する半導体素子間で共有化されていることを特徴とするものである。

【0034】また、請求項23記載の発明では、請求項1乃至9のいずれか、または請求項16乃至22のいずれかに記載の半導体装置の製造方法において、少なくとも前記樹脂封止工程の実施後で、かつ前記分離工程を実施する前に、前記樹脂層または前記基板の背面に位置決め溝を形成することを特徴とするものである。

【0035】また、請求項24記載の発明では、請求項23記載の半導体装置の製造方法において、前記位置決め溝は、前記樹脂層または前記基板の背面にハーフスクライブを行なうことにより形成されることを特徴とするものである。

【0036】また、請求項25記載の発明では、請求項3乃至9のいずれか、または請求項16乃至20のいずれかに記載の半導体装置の製造方法において、前記樹脂封止工程で、前記フィルムとして前記突起電極と干渉しない位置に凸部または凹部が形成されたものを用い、前記樹脂封止工程の終了後に、前記凸部または凹部により前記樹脂層上に形成される凹凸を位置決め部として用いることを特徴とするものである。

【0037】また、請求項26記載の発明では、請求項1乃至9のいずれか、または請求項16乃至20のいずれかに記載の半導体装置の製造方法において、前記樹脂封止工程の終了後、位置決め基準として用いる位置決め用突起電極の形成位置における封止樹脂を加工し、前記位置決め用突起電極と他の突起電極とを識別しうるようにすることを特徴とするものである。

【0038】また、請求項27記載の発明に係る半導体装置では、外部端子と電気的に接続される外部接続電極が表面に形成された半導体素子と、前記外部接続電極を覆うように前記半導体素子の表面に圧縮成形された樹脂層とを具備し、前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成としたことを特徴とするものである。

【0039】また、請求項28記載の発明では、請求項27記載の半導体装置の実装方法であって、前記半導体装置を実装基板に対し立設状態で実装することを特徴とするものである。

【0040】また、請求項29記載の発明では、請求項28記載の半導体装置の実装方法であって、前記半導体装置を複数個並列状態に実装すると共に、隣接する前記

12

半導体装置同志を接着剤により接合することを特徴とするものである。

【0041】また、請求項30記載の発明では、請求項28記載の半導体装置の実装方法であって、前記半導体装置を複数個並列状態に実装すると共に、前記複数の半導体装置を支持部材を用いて立設状態に支持することを特徴とするものである。

【0042】また、請求項31記載の発明では、請求項14または請求項15または請求項27のいずれかに記載の半導体装置の実装方法であって、前記半導体装置をインターポーザ基板を介して実装基板に実装することを特徴とするものである。

【0043】また、請求項32記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された第1の樹脂層と、少なくとも前記半導体素子の背面を覆うように圧縮成形された第2の樹脂層とを具備することを特徴とするものである。

【0044】また、請求項33記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層と、前記樹脂層から露出した前記突起電極の先端部に形成された外部接続用突起電極とを具備することを特徴とするものである。

【0045】また、請求項34記載の発明に係る半導体装置では、少なくとも表面上に突起電極が形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備しており、前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とするものである。

【0046】また、請求項35記載の発明では、請求項34記載の半導体装置において、前記樹脂層の側面と前記半導体素子の側面とが同一平面となるよう構成したことを特徴とするものである。

【0047】また、請求項36記載の発明では、請求項34または35記載の半導体装置において、前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設したことを特徴とするものである。

【0048】また、請求項37記載の発明に係る半導体装置の製造方法では、突起電極が配設された複数の半導体素子が形成された基板を金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、ダイサー



(8)

13

を用い前記樹脂層の側面と前記半導体素子の側面とが同一平面となるよう、前記基板と前記樹脂層を共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とするものである。

【0049】また、請求項38記載の発明では、請求項37記載の半導体装置の製造方法において、前記樹脂封止工程で、前記突起電極と前記金型との間にフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成したことを特徴とするものである。

【0050】また、請求項39記載の発明では、請求項37または38記載の半導体装置の製造方法において、前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いたことを特徴とするものである。

【0051】また、請求項40記載の発明では、請求項37乃至39記載のいずれかに記載の半導体装置の製造方法において、前記樹脂封止工程で前記金型に前記基板を装着する前に補強板を装着しておくことを特徴とするものである。

【0052】また、請求項41記載の発明では、外部端子と電氣的に接続される外部接続電極が表面に形成された半導体素子と、前記外部接続電極を覆うように前記半導体素子の表面に圧縮成形された樹脂層とを具備し、前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成とされた半導体装置であって、前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とするものである。

【0053】また、請求項42記載の発明に係る半導体装置では、少なくとも表面上に突起電極が形成されてなる半導体素子と、前記半導体素子の表面上及び前記突起電極の先端部を覆うよう圧縮成形された樹脂層とを具備しており、前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とするものである。

【0054】また、請求項43記載の発明では、請求項1記載の半導体装置の製造方法において、前記樹脂封止工程で、前記基板と前記金型との間にフィルムを配設することを特徴とするものである。

【0055】また、請求項44記載の発明に係る半導体装置の製造方法では、突起電極が配設された複数の半導体素子が形成された基板の前記突起電極の配設位置に封止部材を供給して前記突起電極及び前記基板を前記封止部材で封止し封止層を形成する封止工程と、前記封止部材を加熱することにより該封止部材を硬化させる硬化工程と、前記突起電極の少なくとも先端部を前記封止層より露出させる突起電極露出工程と、前記基板を前記封止層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とするものである。

【0056】また、請求項45記載の発明に係る半導体装置では、半導体素子に形成された複数の電極パッド

14

と、前記電極パッドに対し離間するよう、前記半導体基板上に形成された複数の突起電極と、前記電極パッドと前記突起電極との間に選択的に配設されることにより、前記電極パッドと前記突起電極とを接続する配線と、前記半導体素子の表面上に少なくとも前記電極パッド及び前記配線を覆うよう形成されると共に、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備しており、前記樹脂層の側面及び前記半導体素子の側面にダイサーにより切断された切断面が形成されてなることを特徴とするものである。

【0057】また、請求項46記載の発明では、請求項45記載の半導体装置において、前記突起電極の配設ピッチを前記電極パッドの配設ピッチに対して大きく設定したことを特徴とするものである。

【0058】また、請求項47記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成されてなる半導体ウエハーと、前記半導体ウエハーの表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する圧縮成形された樹脂層とを具備することを特徴とするものである。

【0059】上記した各手段は、次のように作用する。

【0060】請求項1記載の発明に係る半導体装置の製造方法によれば、樹脂封止工程を実施することにより、デリケートであるためハンドリング、テストが難しい突起電極は樹脂層により封止された状態となる。この樹脂層は、表面保護及び半導体素子の電極と突起電極との接合部において発生する応力を緩和する機能を奏する。

【0061】続く突起電極露出工程では、突起電極の少なくとも先端部を樹脂層より露出させる処理が行なわれる。よって、突起電極露出工程が終了した状態において、突起電極は外部の回路基板等と電氣的に接続可能な状態となる。

【0062】続いて実施される分離工程では、樹脂層が形成された基板を樹脂層と共に切断して個々の半導体素子に分離する。これにより、個々の半導体装置が完成する。従って、樹脂層は樹脂封止工程において形成されるため、半導体装置を実装する際にアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

【0063】また、樹脂層となる封止樹脂は、半導体装置と実装基板との間の狭所ではなく、基板の突起電極の配設面に供給され金型によりモールド成形されるため、突起電極の配設面の全面に確実に樹脂層を形成することができる。

【0064】よって、樹脂層は全ての突起電極に対し保護機能を奏するため、加熱時において突起電極と実装基板の電極との接合部、及び突起電極と半導体素子の電極との接合部における破壊を確実に防止でき、信頼性を向上させることができる。

【0065】また、請求項2記載の発明によれば、封止

(9)

15

樹脂を封止処理後における樹脂層の高さが突起電極の高さと略等しい高さとなる量に計量することにより、樹脂封止工程において金型から余剰樹脂が流出したり、逆に封止樹脂が少なく突起電極を確実に封止できなくなる不都合を防止することができる。

【0066】また、請求項3及び請求項38記載の発明によれば、突起電極と金型との間にフィルムを配設し、金型がフィルムを介して封止樹脂と接触するよう構成したことにより、樹脂層が金型に直接触れないため離型性を向上することができると共に、離型剤なしの密着性の高い高信頼性樹脂の使用が可能となる。また、樹脂層がフィルムに接着することにより、フィルムをキャリアとして使用することが可能となり、半導体装置の製造自動化に寄与することができる。

【0067】また、請求項4及び請求項39記載の発明によれば、封止樹脂としてシート状樹脂を用いたことにより、確実に基板全体に樹脂層を形成することができる。また、基板中央に封止樹脂を配置した場合に要する中央から端部に向け樹脂が流れる時間を短縮できるため、樹脂封止工程の時間短縮を図ることができる。

【0068】また、請求項5記載の発明によれば、樹脂封止工程の実施前に予め封止樹脂をフィルムに配設しておくことにより、フィルムの装着作業と封止樹脂の装填作業を一括的に行なうことができるため、作業の効率化を図ることができる。

【0069】また、請求項6記載の発明によれば、封止樹脂をフィルムに複数個配設しておき、フィルムを移動させることにより連続的に樹脂封止工程を実施することにより、樹脂封止工程の自動化を図ることができ、半導体装置の製造効率を向上させることができる。

【0070】また、請求項7及び請求項40記載の発明によれば、樹脂封止工程で予め装置に補強板を装着しておくことにより、樹脂封止時に印加される熱や応力により基板が変形することを防止できると共に基板の持つ固有の反りを矯正するため、製造される半導体装置の歩留りを向上させることができる。

【0071】また、請求項8記載の発明によれば、請求項7記載の補強板として放熱率の良好な材料を選定したことにより、補強板を放熱板としても機能させることができ、製造される半導体装置の放熱特性を向上させることができる。

【0072】また、請求項9記載の発明によれば、樹脂層に覆われた突起電極の先端部を露出させる手段として、レーザ光照射或いはエキシマレーザを用いた場合には、容易かつ精度よく突起電極の先端部を露出させることができる。また、エッチング、機械研磨或いはブラストを用いた場合には、安価に突起電極の先端部を露出させることができる。

【0073】また、請求項10記載の発明に係る半導体装置製造用金型によれば、金型を構成する下型は、固定

16

された第1の半体と、この第1の半体に対して昇降可能な構成とされた第2の半体とにより構成されているため、第1の半体に対し第2の半体を移動させることにより、基板を金型から離型する際に離型機能を持たせることができ、よって樹脂層が形成された基板を容易に金型から取り出すことができる。

【0074】また、請求項11記載の発明によれば、金型に余剰樹脂を除去すると共に封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことにより、封止樹脂の計量を容易とすることができると共に、常に適正な樹脂量で突起電極の封止処理を行なうことができる。また、金型内における封止樹脂の圧力を制御することができるため、成形時における封止樹脂の圧力を均一化することができる。ボイドの発生を防止することができる。

【0075】また、請求項12記載の発明によれば、第1の下型半体の基板が載置される部位に、基板を第1の下型半体に吸着脱させる固定・離型機構を設けたことにより、固定・離型機構を吸着動作させた時には、基板は第1の下型半体に固定されるため、樹脂封止処理において基板に反り等の変形が発生することを防止することができる。また、基板の持つ固有の反りを矯正することができる。また、固定・離型機構を離型動作させた時には、基板は第1の下型半体から離型方向に付勢されるため、基板の金型からの離型性を向上させることができる。

【0076】また、請求項13記載の発明によれば、キャビティを形成した状態において、第1の下型半体の上部の面積よりも第2の下型半体で囲繞される面積が広くなる部分を有する構成としたことにより、離型性を向上できると共に段差部の形状を矩形状としたことにより段差部の形成を容易に行なうことができる。

【0077】また、請求項14記載の発明に係る半導体装置によれば、先端部を残し突起電極を封止する樹脂層が半導体素子に形成されているため、樹脂層に半導体素子、突起電極、実装基板、及びこれらが接続させる接合部位を保護する機能を持たせることができ、また樹脂層は実装処理前において既に半導体装置に形成されているため、半導体装置を実装する際に従来のようにアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

【0078】また、請求項15及び請求項36記載の発明によれば、半導体素子に放熱部材を配設したことにより、半導体装置の放熱特性を向上させることができると共に半導体装置の強度を向上させることができる。

【0079】また、請求項16記載の発明によれば、樹脂封止工程において予め封止樹脂を補強板に配設しておくことにより、また補強板に形成された凹部をキャビティとして用いることにより、補強板を金型の一部として用いることが可能となり、封止樹脂が直接金型に触れる位置を少なく或いは全く無くすることができるため、従

(10)

17

来であれば必要とされた金型に付着した不要樹脂の除去作業が不要となり、樹脂封止工程における作業の簡単化を図ることができる。

【0080】また、請求項17及び請求項32記載の発明によれば、樹脂封止工程で突起電極が配設された基板の表面に第1の樹脂層を形成した後（または同時に）、この基板の背面を覆うように第2の樹脂層を形成したことにより、製造される半導体装置のバランスを良好とすることができる。

【0081】即ち、半導体素子と封止樹脂は熱膨張率が異なるため、半導体素子の表面（突起電極が形成された面）のみに封止樹脂を配設した構成では、半導体素子の上面と背面において熱膨張差が発生し、半導体素子に反りが発生するおそれがある。しかるに、本請求項のように半導体素子の表面及び背面を共に封止樹脂で覆うことにより、半導体素子の表面及び背面の状態を均一化することができる。これにより、熱印加時において半導体装置に反りが発生することを防止することができる。

【0082】また、半導体素子の下面に配設する封止樹脂と、半導体素子の上面に配設する封止樹脂を異なる特性を有する樹脂を選定することも可能である。例えば、突起電極が形成された表面に配設される封止樹脂としては、突起電極に印加される応力を緩和しうる特性のものを選定することができ、また背面に配設される封止樹脂としては、半導体素子に外力が印加された場合にこの外力より半導体素子を保護しうる硬質の材質のものを選定することも可能となる。

【0083】また、請求項18及び請求項33記載の発明によれば、突起電極露出工程で突起電極の少なくとも先端部を樹脂層より露出させた後に、突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施したことにより、製造される半導体装置を実装基板に実装する時の実装性を向上させることができる。

【0084】即ち、突起電極は半導体素子に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さな突起電極を実装基板に電気的に接続する外部接続端子として用いる構成では、実装基板と突起電極とが確実に接続されないおそれがある。

【0085】しかるに、外部接続用突起電極は、半導体素子に形成されている突起電極と別体であるため自由に設計することが可能であり、実装基板の構成に適応させることができる。よって、半導体素子に形成されている小さな形状の突起電極の先端部に外部接続用突起電極を形成することにより、半導体装置と実装基板との実装性を向上させることができる。

【0086】また、請求項19記載の発明によれば、突起電極と外部接続用突起電極は、応力緩和機能を有する

18

接合材を用いて接合される。よって、外部接続用突起電極に外力が印加され応力が発生しても、この応力は外部接続用突起電極と突起電極との間に介在する接合材により応力緩和され、突起電極に伝達されることを防止することができる。これにより、外部応力により半導体素子にダメージが発生することを防止でき、半導体装置の信頼性を向上させることができる。

【0087】また、請求項20記載の発明によれば、樹脂封止工程を実施する前に予め基板の分離工程で切断される位置に切断位置溝を形成し、かつ分離工程では封止樹脂が充填された切断位置溝の形成位置で基板を切断することにより、基板及び封止樹脂にクラックが発生することを防止することができる。

【0088】即ち、仮に本請求項に係る切断位置溝を形成しない構成を想定すると、分離工程では表面に比較的薄い膜状の樹脂層が形成された基板を切断することとなる。よって、この切断方法では封止樹脂にクラックが発生するおそれがある。また、基板においては、切断位置には大きな応力が印加されるため、この応力により基板にクラックが発生するおそれがある。

【0089】しかるに、切断位置溝を形成することにより、この切断位置溝には樹脂封止工程において封止樹脂が充填される。そして分離工程では、この封止樹脂が充填された切断位置溝において基板及び封止樹脂は切断される。この際、切断位置溝内においては封止樹脂の厚さは大きいと、切断処理により封止樹脂にクラックが発生することはない。

【0090】また、封止樹脂は基板に対して硬度が小さく応力を吸収しうる作用があるため、切断処理により発生する応力は封止樹脂に吸収され弱められた状態で基板に印加されるため、基板にクラックが発生することも防止することができる。

【0091】また、請求項21記載の発明によれば、樹脂封止工程において、外部接続電極が表面に形成された複数の半導体素子が形成された基板の表面に樹脂層を形成することにより、外部接続電極は樹脂層に覆われた状態となる。

【0092】そして、続いて実施される分離工程では、外部接続電極が形成された位置で基板を樹脂層と共に切断して個々の半導体素子に分離する。よって、外部接続電極は、分離位置において基板と樹脂層との界面で外部に露出した状態となる。従って、この半導体装置の側部に露出した外部接続電極により半導体装置を実装基板に電気的に接続することが可能となる。

【0093】また、単に樹脂層が形成された基板を外部接続電極が形成された位置で切断するのみで端子部を樹脂層から外部に露出させることができ、極めて容易に半導体装置を製造することができる。

【0094】また、請求項22記載の発明によれば、基板に形成された隣接する半導体素子間で外部接続電極が

10

20

30

40

50

(11)

19

共有化された構成とすることにより、1回の切断処理を行なうことにより隣接する2個の半導体装置において夫々外部接続電極を外部に露出することができる。よって、半導体装置の製造を効率よく行なうことができる。また、基板に不要部分が発生することを抑制できるため、基板の効率的な利用を図ることができる。

【0095】また、請求項23記載の発明によれば、少なくとも樹脂封止工程の実施後でかつ分離工程を実施する前に、樹脂層または基板の背面に位置決め溝を形成することにより、例えば製造された半導体装置に対し試験処理を行なう際、この位置決め溝を基準として試験装置に半導体装置を装着することができる。また、分離工程を実施する前に位置決め溝を形成することにより、複数の半導体装置に対して一括的に位置決め溝を形成することができ、位置決め溝の形成効率を向上させることができる。

【0096】また、請求項24記載の発明によれば、位置決め溝は樹脂層または基板の背面にハーフスクライプを行なうことにより形成されることにより、分離工程で一般的に使用するスクライピング技術を用いて位置決め溝を形成できるため、容易かつ精度よく位置決め溝を形成することができる。

【0097】また、請求項25記載の発明によれば、樹脂封止工程でフィルムとして突起電極と干渉しない位置に凸部または凹部が形成されたものを用いることにより、樹脂封止工程において樹脂層に凸部または凹部が形成される。この樹脂層上に形成される凹凸は、製造される半導体装置の位置決め部として用いることができる。よって、例えば半導体装置に対し試験処理を行なう際に、この凸部または凹部を基準として試験装置に半導体装置を装着することが可能となる。

【0098】また、請求項26記載の発明によれば、樹脂封止工程の終了後、位置決め用の基準として用いる位置決め用突起電極の形成位置における封止樹脂を加工し、位置決め用突起電極と他の突起電極とを識別化したことにより、この位置決め用突起電極を基準として試験装置に半導体装置を装着することが可能となる。また、位置決め用突起電極を識別化するための封止樹脂加工は、例えば突起電極露出工程で用いるエキシマレーザ、エッチング、機械研磨或いはブラスト等を用いることができ、この加工により半導体装置の製造設備が大きく変更されるようなことはない。

【0099】また、請求項27記載の発明によれば、外部接続電極が表面に形成された半導体素子と、この半導体素子に突起電極の先端部を残し突起電極を封止する樹脂層とにより半導体装置を構成し、かつ半導体素子と樹脂層との界面において外部接続電極が側方に向け露出した構成としたことにより、突起電極を形成することなく、外部接続電極を用いて半導体装置を実装することが可能となる。

20

【0100】このように、突起電極を形成しないため、半導体装置の構成を簡単化することができ、コスト低減を図ることができる。また、外部接続電極は半導体装置の側部に露出した構成であるため、半導体装置を実装基板に対し立設した状態で実装することが可能となり、半導体装置の実装密度を向上させることができる。

【0101】また、請求項28記載の発明によれば、半導体装置を実装基板に対し立設状態で実装することにより、半導体装置の実装密度を向上させることができる。

【0102】また、請求項29及び請求項30記載の発明によれば、複数の半導体装置をユニット化して扱うことが可能となり、よって実装時においてもユニット単位で実装基板に実装処理を行なうことができ、実装効率の向上を図ることができる。

【0103】また、請求項31記載の発明によれば、半導体装置と実装基板との間にインターポーザ基板が介在する構成となるため、半導体装置を実装基板に実装する自由度を向上させることができる。即ち、例えばインターポーザ基板として多層配線基板を用いることにより、インターポーザ基板内で配線の引回しを行なうことができ、半導体装置の電極（突起電極、外部接続電極）と実装基板側の電極との整合性を容易に図ることができる。

【0104】また、請求項34、請求項35、請求項37、請求項41、及び請求項42記載の発明によれば、樹脂層の側面及び半導体素子の側面にダイサーにより切断された切断面が形成されているため、一般に行われているゲートブレイクを用いて半導体装置を個片化した構成に比べ、ゲートブレイク跡がないため、外観の見栄えを向上することができると共に、ゲートブレイクにより樹脂層に欠け不良が発生することを防止することができる。

【0105】また、請求項43記載の発明によれば、樹脂封止工程終了後における離型性を向上させることができる。

【0106】また、請求項45及び請求項46記載の発明によれば、半導体素子に形成された複数の電極パッドと半導体基板上に形成された複数の突起電極とを離間配置することができるため、突起電極の配設位置に自由度を持たせることができる。

【0107】

【発明の実施の形態】次に本発明の実施の形態について図面と共に説明する。

【0108】図1乃至図8は第1実施例である半導体装置の製造方法を製造手順に沿って示しており、また図9は第1実施例である半導体装置の製造方法により製造される半導体装置10を示している。

【0109】まず、図9(A)及び(B)を用いて、図1乃至図8に示す製造方法により製造される第1実施例となる半導体装置10について説明する。半導体装置10は、大略すると半導体素子11、突起電極となるバン

(12)

21

プ12、及び樹脂層13等によりなる極めて簡単な構成とされている。

【0110】半導体素子11（半導体チップ）は、半導体基板に電子回路が形成されたものであり、その実装側の面には多数のバンプ12が配設されている。バンプ12は、例えば半田ボールを転写法を用いて配設された構成とされており、外部接続電極として機能するものである。本実施例では、バンプ12は半導体素子11に形成されている電極パッド（図示せず）に直接配設された構成とされている。

【0111】また、樹脂層13（梨地で示す）は、例えばポリイミド、エポキシ（PPS、PEK、PES、及び耐熱性液晶樹脂等の熱可塑性樹脂）等の熱硬化性樹脂よりなり、半導体素子11のバンプ形成側面の全面にわたり形成されている。従って、半導体素子11に配設されているバンプ12は、この樹脂層13により封止された状態となるが、バンプ12の先端部は樹脂層13から露出するよう構成されている。即ち、樹脂層13は、先端部を残してバンプ12を封止するよう半導体素子11に形成されている。

【0112】上記構成とされた半導体装置10は、その全体的な大きさが略半導体チップ11の大きさと等しい、いわゆるチップサイズパッケージ構造となる。従って、半導体装置10は、近年特に要求されている小型化のニーズに十分対応することができる。

【0113】また、上記したように半導体装置10は半導体素子11上に樹脂層13が形成された構成とされており、かつこの樹脂層13は先端部を残しバンプ12を封止した構造とされている。このため、樹脂層13によりデリケートなバンプ12は保持されることとなり、よってこの樹脂層13は従来用いられていたアンダーフィルレジ6（図78参照）と同様の機能を奏することとなる。

【0114】即ち、樹脂層13により、半導体素子11、バンプ12、実装基板14、バンプ12と接続電極15との接合部位、及びバンプ12と半導体素子11との接合部位の破壊を防止することができる。

【0115】図9（B）は、半導体装置10を実装基板14に実装する方法を説明するための図である。半導体装置10を実装基板14に実装するには、実装基板14に形成されている接続電極15とバンプ12を位置決めした上で実装を行なう。

【0116】この際、実装処理前において、半導体装置10には樹脂層13が予め半導体素子11に形成された構成とされている。よって、半導体装置10を実装基板14に実装処理する際、アンダーフィルレジンを半導体素子11と実装基板14との間に充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

【0117】また、半導体装置10を実装基板14に実

22

装する際、半田バンプ12を接続電極15に接合するために加熱処理を行なうが、半導体素子11に配設されたバンプ12は樹脂層13により保持されているため、半導体素子11と実装基板14との間に熱膨張差が発生しても確実に実装処理を行なうことができる。

【0118】更に、半導体装置10を実装基板14に実装した後に熱が印加されたような場合においても、半導体素子11と実装基板14との熱膨張差が発生しても、樹脂層13によりバンプ12は保持されているため、バンプ12と接続電極15との間で剥離が発生するようなことはない。よって、半導体装置10の実装における信頼性を向上させることができる。

【0119】続いて、上記構成とされた半導体装置10の製造方法（第1実施例に係る製造方法）について、図1乃至図8を用いて説明する。

【0120】半導体装置10は、大略すると半導体素子形成工程、バンプ形成工程、樹脂封止工程、突起電極露出工程、及び分離工程等を実施することにより形成される。この各工程の内、半導体素子形成工程は、基板に対しエキシマレーザ技術等を用いて回路形成を行なう工程であり、またバンプ形成工程は転写法等を用いて回路形成された半導体素子11上にバンプ12を形成する構成である。

【0121】この半導体素子形成工程及びバンプ形成工程は、周知の技術を用いて実施されるものであり、本願発明の要部は樹脂封止工程以降にあるため、以下の説明では樹脂封止工程以降の各工程についてのみ説明するものとする。

【0122】図1乃至図5は樹脂封止工程を示している。

【0123】樹脂封止工程は、更に基板装着工程、樹脂層形成工程、及び離型工程に細分化される。樹脂封止工程が開始されると、先ず図1に示されるように、半導体素子形成工程及びバンプ形成工程を経ることにより多数の半導体素子11が形成された基板16（ウエハー）を半導体装置製造用金型20に装着する。

【0124】ここで、第1実施例となる半導体装置製造用金型20（以下、単に金型20という）の構造について説明する。

【0125】金型20は、大略すると上型21と下型22とにより構成されている。この上型21及び下型22には、共に図示しないヒーターが内設されており、後述する封止樹脂35を加熱溶融しうる構成とされている。

【0126】上型21は、図示しない昇降装置により図中矢印Z1、Z2方向に昇降動作する構成とされている。また、上型21の下面はキャビティ面21aとされており、このキャビティ面21aは平坦面とされている。従って、上型21の形状は極めて簡単な形状とされており、安価に上型21を製造することができる。

【0127】一方、下型22は、第1の下型半体23と

(13)

23

第2の下型半体24とにより構成されている。第1の下型半体23は、前記した基板16の形状に対応した形状とされており、具体的には基板16の径寸法より若干大きな径寸法に設定されている。基板16は、この第1の下型半体23の上面に形成されたキャビティ面25に装着される。本実施例では、この第1の下型半体23は固定された構成とされている。

【0128】また、第2の下型半体24は、第1の下型半体23を囲繞するよう略環状形状とされている。この第2の下型半体24は、図示しない昇降装置により、第1の下型半体23に対して図中矢印Z1、Z2方向に昇降動作する構成とされている。また、第2の下型半体24の内周壁はキャビティ面26とされており、このキャビティ面26の上部所定範囲には、離型性を向上させる面より傾斜部27が形成されている。

【0129】樹脂封止工程の開始直後の状態では、図1に示すように、第2の下型半体24は第1の下型半体23に対してZ2方向に上動した状態となっており、よって前記した基板16は第1及び第2の下型半体23、24が協働して形成する凹部（キャビティ）内に装着される。この際、基板16はパンプ12が形成された面が上側となるよう装着され、よって装着状態において基板16に形成されたパンプ12は上型21と対向した状態となっている。

【0130】上記のように下型22に基板16を装着すると、続いて上型21の下部にフィルム30を歪みの無い状態で配設すると共に、基板16のパンプ12上に封止樹脂35を載置する。

【0131】フィルム30は、例えばポリイミド、塩化ビニール、PC、PET、静分解性樹脂、合成紙等の紙、金属箔、若しくはこれらの複合材を用いることが可能であり、後述する樹脂成形時に印加される熱により劣化しない材料が選定されている。また本実施例で用いるフィルム30は、上記の耐熱性に加え、所定の弾性を有する材料が選定されている。ここでいう所定の弾性とは、後述する封止時において、パンプ12の先端部がフィルム30内にめり込むことが可能な程度の弾性をいう。

【0132】一方、封止樹脂35は例えばポリイミド、エポキシ（PPS、PEEK、PES及び耐熱性液晶樹脂等の熱可塑性樹脂）等の樹脂であり、本実施例においてはこの樹脂を円柱形状に成形した構成のものを用いている。また、封止樹脂35の載置位置は、図2（下型22の平面図である）に示されるように、基板16の略中央位置に選定されている。以上が、基板装着工程の処理である。

【0133】尚、上記した基板装着工程において、フィルム30を配設するタイミングは、下型22に基板16を装着した後に限定されるものではなく、下型22に基板16を装着する前に予めフィルム30を配設しておく

24

構成としてもよい。

【0134】上記のように基板装着工程が終了すると、続いて樹脂層形成工程が実施される。樹脂層形成工程が開始されると、金型20による加熱により封止樹脂35が熔融しうる温度まで昇温したことを確認した上で（尚、封止樹脂35の高さが十分小さい場合は確認の必要はない）、上型21がZ1方向に下動される。

【0135】上型21をZ1方向に下動することにより、先ず上型21は第2の下型半体24の上面と当接する。この際、前記のように上型21の下部にはフィルム30が配設されているため、上型21が第2の下型半体24と当接した時点で、図3に示されるように、フィルム30は上型21と第2の下型半体24との間にクランプされた状態となる。この時点で、金型20内には、前記した各キャビティ面24a、25、26により囲繞されたキャビティ28が形成される。

【0136】また、封止樹脂35は下動する上型21によりフィルム30を介して圧縮付勢され、かつ封止樹脂35は熔融しうる温度まで昇温されているため、同図に示されるように、封止樹脂35は基板16上にある程度広がった状態となる。

【0137】上型21が第2の下型半体24と当接すると、その後は上型21及び第2の下型半体24はフィルム30をクランプした状態を維持しつつ一体的にZ1方向に下動を行なう。即ち、上型21及び第2の下型半体24は、共にZ1方向に下動する。

【0138】これに対し、下型22を構成する第1の下型半体23は固定された状態を維持するため、キャビティ28の容積は上型21及び第2の下型半体24の下動に伴い減少し、よって封止樹脂35はキャビティ28内で圧縮されつつ樹脂成形されることとなる（この樹脂成形法を圧縮成形法という）。

【0139】具体的には、基板16の中央に載置された封止樹脂35は加熱により軟化しており、かつ上型21の下動により圧縮されるため、封止樹脂35は上型21により押し広げられて中央位置より外周に向け進行してゆく。これにより、基板16に配設されているパンプ12は、中央位置から順次外側に向けて封止樹脂35より封止されていく。

【0140】この際、上型21及び第2の下型半体24の下動速度が速いと圧縮成形による圧縮圧が高くなり、パンプ12に損傷が発生することが考えられ、また上型21及び第2の下型半体24の下動速度が遅いと、製造効率等の低下が発生する。従って、上型21及び第2の下型半体24の下動速度は、上記した相反する問題点が共に発生しない適正な下動速度に選定されている。

【0141】上記した上型21及び第2の下型半体24の下動は、クランプされたフィルム30が基板16に形成されたパンプ12に圧接される状態となるまで行なわれる。また、フィルム30がパンプ12に圧接された状

(14)

25

態で、封止樹脂35は基板16に形成された全てのバンプ12及び基板16を封止するよう構成されている。図4は、樹脂層形成工程が終了した状態を示している。樹脂層形成工程が終了した状態では、フィルム30は基板16に向け圧接されているため、バンプ12の先端部はフィルム30にめり込んだ状態となる。また、封止樹脂35が基板16の全面に配設されることにより、バンプ12を封止する樹脂層13が形成される。

【0142】また、封止樹脂35の樹脂量は予め計量されており、図4に示される樹脂層形成工程が終了した時点で、樹脂層13の高さがバンプ12の高さと略等しくなるよう設定されている。このように、封止樹脂35の樹脂量を予め過不足のない適正量に計量しておくことにより、樹脂層形成工程において金型20から余剰な樹脂35が流出したり、逆に樹脂35が少なくバンプ12及び基板16を確実に封止できなくなる不都合を防止することができる。

【0143】樹脂層形成工程が終了すると、続いて離型工程が実施される。この離型工程では、先ず上型21をZ2方向に上昇させる。この際、樹脂層13が第2の下型半体24に形成された傾斜部27と当接した位置は固着した状態となっているため、基板16及び樹脂層13は下型22に保持された状態となっている。このため、上型21を上昇させた場合、上型21のみがフィルム30から離脱し上動することとなる。

【0144】続いて、第2の下型半体24を第1の下型半体23に対してZ1方向に若干量下動させる。図5の中心線より左側は、上型21が上動し、かつ第2の下型半体24が若干量下動した状態を示している。このように、第2の下型半体24を第1の下型半体23に対して下動させることにより、前記した傾斜部27と樹脂層13とを離間させることができる。

【0145】このように傾斜部27と樹脂層13とが離間すると、続いて第2の下型半体24はZ2方向に上動を開始する。これにより、第2の下型半体24の上面はフィルム30と当接すると共に傾斜部27は樹脂層13の側壁と当接し、よって第2の下型半体24の上動に伴い基板16を上方向に向け移動付勢する。

【0146】フィルム30は樹脂層13と固着した状態を維持しているため、フィルム30が上動付勢されることにより、樹脂層13が形成された基板16は第1の下型半体23から離脱する。これにより、図5の中心線より右側に示されるように、樹脂層13が形成された基板16は金型20から離型される。

【0147】尚、図5に示す例では第1の下型半体23と樹脂層13とが固着した部分が存在するが、この固着領域は狭いため固着力は弱く、よって第2の下型半体24が上動することにより、樹脂層13が形成された基板16を第1の下型半体23から確実に離型させることができる。

26

【0148】上記のように本実施例に係る樹脂封止工程では、樹脂層13は樹脂層形成工程において金型20を用いて圧縮成形される。また、樹脂層13となる封止樹脂35は、従来(図78参照)のように半導体装置1と実装基板5との間の狭所に充填されるのではなく、基板16のバンプ12が配設された面上に載置されモールド成形される。

【0149】このため、樹脂層13を基板16のバンプ12が形成されている面全体にわたり確実に形成することができ、また略バンプ12の高さと等しい狭い部分に確実に樹脂層13を形成することが可能となる。これにより、基板16に形成されている全てのバンプ12は樹脂層13により確実に封止されるため、樹脂層13により全てのバンプ12を確実に保持することが可能となる。よって、図9を用いて説明した加熱時において、バンプ12と実装基板14との接合部における破壊を確実に防止でき、半導体装置10の信頼性を向上させることができる。

【0150】また、前記したように、金型20を構成する下型22は、固定された第1の下型半体23と、この第1の下型半体23に対して昇降可能な構成とされた第2の下型半体24とにより構成されている。このため、樹脂層13を形成した後に第1の下型半体23に対し第2の下型半体24を昇降動作させることにより、金型20に離型機能を持たせることができ、樹脂層13が形成された基板16を容易に金型20から取り出すことができる。

【0151】上記した樹脂封止工程が終了すると、続いて突起電極露出工程が実施される。図6及び図7は突起電極露出工程を示している。樹脂封止工程が終了した時点では、図6に示されるように、フィルム30は樹脂層13と固着した状態となっている。また、フィルム30は弾性可能な材料により構成されているため、樹脂層13が形成された状態で、バンプ12の先端部はフィルム30にめり込んだ状態となっている。即ち、バンプ12の先端部は樹脂層13に覆われていない状態となっている(この状態を図6(B)に拡大して示す)。

【0152】本実施例に係る突起電極露出工程では、図7(A)に示されるように、樹脂層13に固着されたフィルム30を樹脂層13から剥離する処理を行なう。このようにフィルム30を樹脂層13から剥離することにより、図7(B)に拡大して示すように、フィルム30にめり込んだ状態とされていたバンプ12の先端部は樹脂層13から露出することとなる。よって、この露出されたバンプ12の先端部を用いて実装処理を行なうことが可能となる。

【0153】このように、本実施例に係る突起電極露出工程は、単にフィルム30を樹脂層13から剥離するだけの簡単な処理である。このため、容易かつ効率よく突起電極露出処理を行なうことができる。



(15)

27

【0154】また、前記したようにフィルム30を金型20に装着する際、フィルム30は歪みのないよう配設されており、かつ上型21のキャビティ面24aは平坦な形状とされている。更に、フィルム30は均一な品質を有しており、その全面において均一な弾性特性を有している。従って、樹脂封止工程においてパンプ12がフィルム30にめり込む際、そのめり込み量は均一となる。

【0155】これにより、突起電極露出工程でフィルム30を樹脂層13から剥離した際、樹脂層13から露出するパンプ12の露出量は均一となり、半導体装置10の品質の一定化、及び実装時における接続電極15との接合性の均一化を図ることができる。

【0156】尚、上記した説明では、突起電極露出工程でフィルム30を樹脂層13から剥離した際、樹脂層13から完全にパンプ12が露出する構成を示したが、フィルム30を剥離した状態でパンプ13の先端が極薄くではあるが樹脂膜（封止樹脂35）により覆われた構成としてもよい、この構成とする事により、樹脂膜はデリケートな性質を有するパンプ13の上端部を保護するため、パンプ13が外気と接触することにより酸化が発生する等の劣化を防止することができる。

【0157】また、パンプ13を実装基板に実装する際は、この樹脂膜は不要となるため除去する必要がある。この樹脂膜を除去するタイミングは、実装基板に実装する前であればどのタイミングで行なってもよい。

【0158】上記した突起電極露出工程が終了すると、続いて分離工程が実施される。

【0159】図8は分離工程を示している。同図に示されるように、分離工程では基板16を半導体素子11毎にダイサー29を用いて樹脂層13と共に切断する。これにより、先に説明した図9に示される半導体装置10が製造される。

【0160】尚、ダイサー29を用いたダイシング処理は、半導体装置の製造工程において一般的に採用されているものであり、特に困難を伴うものではない。また、基板16には樹脂層13が形成されているが、ダイサー29は樹脂層13をも十分に切断することができる能力を有している。

【0161】続いて、図10を用いて第2実施例である半導体装置の製造方法及び第2実施例である半導体装置製造用金型20A（以下、単に金型20Aという）について説明する。尚、図10において、先に図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については、同一符号を附してその説明を省略する。

【0162】先ず、本実施例に係る金型20Aについて説明する。

【0163】本実施例に係る金型20Aも大略すると上型21と下型22Aとにより構成されている。上型21及び下型22Aを構成する第1の下型半体23は第1実

28

施例に示したものと同一構成とされている。しかるに本実施例では、第2の下型半体24Aに余剰樹脂を除去する余剰樹脂除去機構40を設けたことを特徴とするものである。

【0164】余剰樹脂除去機構40は、大略すると開口部41、ポット部42、及び圧力制御ロッド43等により構成されている。開口部41は第2の下型半体24Aに形成された傾斜部27の一部に形成された開口であり、この開口部41はポット部42と連通した構成とされている。

【0165】ポット部42はシリンダ構造を有しており、このポット部42の内部にはピストン構造とされた圧力制御ロッド43が摺動可能に装着されている。この圧力制御ロッド43は、図示しない駆動機構に接続されており、図中矢印Z1、Z2方向に第2の下型半体24Aに対して昇降動作可能な構成とされている。

【0166】続いて、上記構成とされた余剰樹脂除去機構40を具備した金型20Aを用いて実施される、第2実施例に係る半導体装置の製造方法について説明する。尚、第2実施例では半導体製造工程の内、樹脂封止工程に特徴を有しているため、この樹脂封止工程についての説明するものとする。

【0167】本実施例に係る樹脂封止工程が開始されると、基板装着工程が実施される。基板装着工程では、図10(A)に示されるように基板16を金型20Aに装着する。

【0168】同図に示されるように、樹脂封止工程の開始直後の状態では、第2の下型半体24Aは第1の下型半体23に対してZ2方向に上動した状態となっており、また余剰樹脂除去機構40を構成する圧力制御ロッド43は上動限に移動した状態となっている。

【0169】上記のように下型22Aに基板16を装着すると、続いて上型21の下部にフィルム30を配設すると共に、基板16のパンプ12上に封止樹脂35を載置する。

【0170】上記の基板装着工程が終了すると、続いて樹脂層形成工程が実施される。樹脂層形成工程が開始されると上型21はZ1方向に下動され、これにより図10(B)に示されるように、上型21と第2の下型半体24Aとは当接してフィルム30はクランプされた状態となる。

【0171】この時点で、金型20A内には各キャビティ面24a、25、26により囲繞されたキャビティ28が形成されるが、前記した余剰樹脂除去機構40を構成する開口部41は、このキャビティ28に開口した状態となっている。

【0172】上型21が第2の下型半体24Aと当接すると、その後は上型21及び第2の下型半体24Aはフィルム30をクランプした状態を維持しつつ一体的にZ1方向に下動を行なう。これにより、樹脂35はキャビ



(16)

29

ティ28内で圧縮されつつ樹脂成形される。

【0173】この際、パンプ12に対する損傷の発生を防止し、かつキャビティ28の全領域に適正に樹脂35を充填するためには、上型21及び第2の下型半体24Aの下動速度を適正な下動速度に選定する必要があることは前述した通りである。上型21及び第2の下型半体24Aの下動速度を適正化することは、換言すればキャビティ28内における樹脂35の圧縮圧力を適正化することと等価である。

【0174】本実施例では、金型20Aに余剰樹脂除去機構40を設けることにより、上型21及び第2の下型半体24Aの下動速度に加え、圧力制御ロッド43を上下駆動することによっても樹脂35の圧縮圧力を制御しうる構成とされている。よって、圧力制御ロッド43を下動させることによりキャビティ28内における封止樹脂35の圧力は低くなり、また圧力制御ロッド43を上動させることによりキャビティ28内における封止樹脂35の圧力は高くなる。

【0175】例えば、封止樹脂35の樹脂量が形成しようとする樹脂層13の容量よりも多く、余剰樹脂によりキャビティ28内の圧力が上昇した場合には、適正な樹脂成形が行なえなくなるおそれがあるが、このような場合には、図10(C)に示されるように、余剰樹脂除去機構40の圧力制御ロッド43をZ1方向に下動させることにより、余剰樹脂を開口部41を介してポット部42内に除去することができる。

【0176】よって、余剰樹脂除去機構40を設けることにより、樹脂層13の形成時に余剰樹脂の除去処理を同時に行うことができ、常に既定の圧縮力で樹脂成形することが可能となり、樹脂層13の形成を適正に行なうことができる。また、余剰樹脂が金型20Aから漏洩することを防止することができると共に、封止樹脂35の計量精度は第1実施例に比べて低くてもかまわないため封止樹脂35の計量の容易化を図ることができる。

【0177】樹脂層形成工程が終了し樹脂層13が形成されると、続いて離型工程が実施される。この離型工程における金型20Aの動作は、基本的には第1実施例と同様である。即ち、先ず上型21をZ2方向に上昇させると共に、第2の下型半体24Aを第1の下型半体23に対してZ1方向に若干量下動させる。

【0178】図10(D)の中心線より左側は、上型21が上動し、かつ第2の下型半体24Aが若干量下動した状態を示している。このように、第2の下型半体24Aを第1の下型半体23に対して下動させることにより、前記した傾斜部27と樹脂層13とを離間させることができる。

【0179】また、本実施例の場合には、余剰樹脂除去機構40を設けることにより、開口部41の形成位置に余剰樹脂を除去したことによりバリが発生しているおそれがあるが、このバリも第2の下型半体24Aが下動す

30

ることにより除去することができる。

【0180】このように傾斜部27と樹脂層13とが離間すると、続いて第2の下型半体24AはZ2方向に上動を開始し、これにより第2の下型半体24Aの上面はフィルム30に当接すると共に傾斜部27は再び樹脂層13と当接し、基板16は金型20Aから離間する方向に移動付勢される。これにより、図10(D)の中心線より右側に示されるように、樹脂層13が形成された基板16は金型20Aから離型される。

【0181】また本実施例に係る製造方法では、樹脂成形時においてキャビティ28内の圧力を既定圧力に制御することができるため、樹脂35内に空気が残留し樹脂層13に気泡(ボイド)が発生することを防止できる。いま、仮に樹脂層13に気泡が発生した場合を想定すると、加熱処理時にこの気泡が膨張して樹脂層13にクラック等の損傷が発生するおそれがある。

【0182】しかるに、上記のように余剰樹脂除去機構40を設けることにより、樹脂層13に気泡が発生することを防止できるため、加熱時に樹脂層13に損傷が発生するおそれはなく半導体装置10の信頼性を向上させることができる。

【0183】続いて、第3及び第4実施例に係る半導体装置の製造方法について説明する。

【0184】図11は第3実施例に係る半導体装置の製造方法を示しており、また図12は第4実施例に係る半導体装置の製造方法を示している。

【0185】尚、図11において図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略し、また図12において図10を用いて説明した第2実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

【0186】第3及び第4実施例に係る製造方法は、フィルム30を用いずに樹脂層13を形成したことを特徴とするものである。このため、図11(A)及び図12(A)に示されるように、前記した第1及び第2実施例と異なり基板装着工程においては、上型21の下部にフィルム30は配設されてない。

【0187】従って、基板装着工程に続き実施される樹脂層形成工程では、図11(B)、(C)及び図12(B)、(C)に示されるように、上型21が直接封止樹脂35を押圧し圧縮成形処理を行なうこととなる。しかるに、上型21のキャビティ面24aは平坦面とされているため、良好な状態で樹脂層13の成形処理を行なうことができる。尚、剥離工程における処理は、前記した第1または第2実施例における処理と同一であるため、その説明は省略する。

【0188】上記のように、フィルム30を配設しない構成としても、樹脂層13を形成することができる。但し、第3及び第4実施例による製造方法では、フィルム30を設けていないため、樹脂層13が形成された状態

でパンプ12は完全に樹脂層13に埋設された状態となる。

【0189】このため、樹脂封止工程を終了した後に実施される突起電極露出工程で、パンプ12の先端部のみを露出させるための処理が別個必要となる。尚、このパンプ12の先端部のみを露出させるための処理については、説明の便宜上後述するものとする。

【0190】続いて、第5実施例である半導体装置の製造方法を説明する。

【0191】図13及び図14は、第5実施例である半導体装置の製造方法を示している。尚、図13及び図14において図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

【0192】本実施例に係る製造方法では、基板装着工程で金型20に基板16を装着する前に、図13(A)に示されるように、第1の下型半体23に補強板50を装着しておくことを特徴とするものである。この補強板50は所定の機械的強度及び放熱性を有する材料が選定されており、具体的には例えばアルミニウム製の板材により構成されている。また、補強板50の径寸法は、基板16の径寸法より若干大きくなるよう設定されている。また、この補強板50の表面には、熱硬化性の接着剤(図示せず)が塗布されている。

【0193】上記構成とされた補強板50の金型20への装着は、単に第1の下型半体23上に補強板50を載置するだけの作業であるため、極めて容易に行なうことができ、補強板50を設けても樹脂封止工程が面倒となるようなことはない。

【0194】続いて、樹脂封止工程における補強板50の機能について説明する。

【0195】基板装着工程が終了し樹脂層形成工程が開始されると、前記したように上型21及び第2の下型半体24が下動し、封止樹脂35によるパンプ12の封止処理が開始される。この時、金型20は封止樹脂35が溶融しうる程度の温度まで昇温されている。また、前記した熱硬化性の接着剤は、比較的低い温度で熱硬化する材質に選定されている。従って、樹脂層形成工程が開始後、比較的短時間で補強板50は基板16に接着し一体化する。尚、補強板50は、予め基板16に接着しておく構成としてもよい。

【0196】ところで、図13(B)、(C)に示されるように、本実施例においても樹脂層13の形成は、圧縮成形法を用いて行なわれる。この圧縮成形法により樹脂層13を形成する方法では、上型21により封止樹脂35及び溶融した樹脂35を押圧するため、基板16には大きな圧力が作用する。

【0197】また、樹脂層13を形成するためには封止樹脂35を溶融させる必要があり、このため金型20にはヒーターが組み込んである。このヒーターが発生する

熱は金型20内に装着された基板16にも印加される。従って、基板16は、上記した圧縮形成による圧力及びヒーターが発生する熱により変形する可能性がある。しかるに本実施例では、基板装着工程において基板16を金型20に装着前に補強板50を装着しておき、この補強板50を基板16に接合する構成としているため、樹脂層形成工程において基板16は補強板50により補強された構成となっている。このため、圧縮形成による圧力やヒーターによる熱が基板16に印加されても、基板16の変形することを防止でき、よって製造される半導体装置の歩留りを向上させることができる。

【0198】図14は、樹脂層13の形成が終了し、金型20から離型された状態の基板16を示している。同図に示されるように、基板16を金型20から離型した状態において、補強板50は基板16に接着された状態を維持している。そして、樹脂層形成工程が終了した後に実施される分離工程(図8参照)で、この補強板50も合わせてダイサー29により切断される。

【0199】これにより、個々の半導体装置にも補強板50は配設された構成となる。また前記したように、補強板50は放熱性の良好な材料が選定されているため、個々の半導体装置に分離された後において、補強板50は放熱板として機能することとなる。このため、本実施例に係る製造方法により製造される半導体装置の放熱特性を向上させることができる。

【0200】図15乃至図17は、前記した各実施例の変形例を示している。尚、各図において図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

【0201】前記した各実施例においては、封止樹脂して封止樹脂35を用い、これを金型20、20Aに装着された基板16上に載置して樹脂封止を行なう構成としていた。図15乃至図17の示す変形例は、封止樹脂の他の供給態様を示すものである。

【0202】図15に示す例では、封止樹脂としてシート状樹脂51を用いたことを特徴とするものである。このようにシート状樹脂51を用いることにより、確実に基板16の全体に樹脂層13を形成することができる。

【0203】また、基板16の中央に封止樹脂35を配置し場合には、溶融した樹脂が中央から端部に向け流れる必要があるため、成形時間を長く要してしまう。これに対しシート状樹脂51は、基板16の上部を覆うように配設されるため、溶融した樹脂は流れることなく直接下部に位置するパンプ12を封止することとなる。このため、樹脂封止処理に要する時間を短縮できるため、樹脂封止工程の時間短縮を図ることができる。

【0204】また、図16に示す例では、封止樹脂として液状樹脂52を用いたことを特徴とするものである。液状樹脂52は流動性が高いため、短時間で確実にパンプ12を封止することができる。

(18)

33

【0205】更に、図17に示す例では、樹脂封止工程の実施前に予め封止樹脂35Aをフィルム30に接着剤53を用いて配設しておくことを特徴とするものである。尚、封止樹脂35を溶融した上で、フィルム30にこの封止樹脂35を配設し、その後に固化させることによりフィルム30に封止樹脂35を配設した構成としてもよい。

【0206】このように、封止樹脂35Aを基板16上ではなくフィルム30に配設しておくことにより、基板装着工程において、フィルム30の装着作業と封止樹脂35Aの装填作業を一括的に行なうことができ、基板装着作業の効率化を図ることができる。

【0207】続いて、第6実施例である半導体装置の製造方法について説明する。

【0208】図18は、第6実施例である製造方法における樹脂封止工程を示している。尚、図18において、図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

【0209】先に、図17を用いて樹脂封止工程の実施前に予め封止樹脂35Aをフィルム30に1個のみ配設しておく方法について説明した。これに対し本実施例では、封止樹脂35Aをフィルム30に所定の間隔をおいて多数連続的に配設したことを特徴とするものである。また、フィルム30は、図示しない搬送装置により図中矢印方向に搬送される構成とされている。

【0210】図18(A)において、金型20より左側に位置するのは、樹脂層13が形成された基板16であり、樹脂層13がフィルム30に固着することにより、基板16もフィルム30に装着された状態となっている。また、金型20の内部に位置する封止樹脂35Aは、今回樹脂封止処理が行なわれるものである。更に、金型20より右側に位置する封止樹脂35Aは、次の樹脂封止処理において用いられるものである。

【0211】図18(A)に示す状態は、基板装着工程が終了した状態を示しており、既に基板16は金型20に装着された状態となっている。また、本実施例では、基板16を装着する前に補強板50を装着する方法を例に挙げている。

【0212】基板装着工程が終了し樹脂封止工程が開始されると、図18(B)に示すように、上型21及び第2の下型半体24は下動し、封止樹脂35Aによりバンプ12を封止する処理が行なわれる。そして、更に上型21及び第2の下型半体24が下動することにより、図18(C)に示されるように、基板16上に樹脂層13が形成される。

【0213】樹脂封止工程が終了すると、先に図5を用いて説明したと同様の離型工程が実施され、樹脂層13が形成された基板16は金型20から離型される。この際、前記したように樹脂層13がフィルム30に固着す

34

ることにより、基板16もフィルム30に装着された状態となっている。

【0214】上記のように樹脂封止工程が終了すると、続いてフィルム30の搬送装置が起動し、フィルム30は次の封止樹脂35Aが金型20に装着される位置まで搬送される。また、このフィルム30による搬送操作と共に、金型20に対し補強板50及び基板16（樹脂層13が形成されていないもの）が金型20に装着され（即ち、基板装着工程を実施し）、これにより再び図18(A)に示す状態となる。以降、上記した処理を繰り返し実施する。

【0215】上記のように、本実施例に係る方法によれば、封止樹脂35Aを樹脂封止処理時に邪魔にならない程度の間隔で離間配設しておき、樹脂封止処理が終了した時点でフィルム30を移動させ、次に樹脂封止処理を行なう封止樹脂35Aを金型20に自動装着することにより、連続的に樹脂封止工程を実施することが可能となり、よって半導体装置の製造効率を向上させることができる。

【0216】続いて、第7実施例である半導体装置の製造方法を説明する。

【0217】図19乃至図21は、第7実施例である半導体装置の製造方法を説明するための図である。尚、図19乃至図21において、図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

【0218】前記した第1実施例に係る製造方法では、フィルム30として弾性変形可能な材質のものを選定し、よって樹脂封止工程における圧縮成形時においてバンプ12の先端部をフィルム30にめり込ませることにより、突起電極露出工程でフィルム30を樹脂層13から剥離するだけでバンプ12の先端部を露出させる構成としていた。

【0219】しかるに、バンプ12の先端部が適宜量だけめり込むような弾性を有したフィルム30の選定は困難である。また、図18に示したようにフィルム30を搬送用のキャリアとしても用いた場合には、弾性変形可能なフィルム30では搬送時に伸縮してしまい、基板16及び封止樹脂35Aの搬送処理を適正に行なえないおそれがある。

【0220】そこで、このような問題点を解決するためには、弾性変形を行わないか、或いは弾性変形を殆ど行なわない（以下、まとめて「弾性変形しない」と記載する）フィルム30Aを用いる必要が生じる。本実施例では、フィルム30Aとして弾性変形しない材質が選定されている。しかるに、フィルム30Aとして弾性変形しない材質を用いても、樹脂封止工程で行なわれる処理は図1乃至図5で説明したと同様に実施することができる。

【0221】図19乃至図21は、本実施例における突

(19)

35

起電極露出工程を示している。樹脂封止工程が終了した時点では、図19に示されるように、フィルム30Aは樹脂層13と固着した状態となっている。しかるに、フィルム30Aは弾性変形しない材料により構成されているため、樹脂層13が形成された状態でパンプ12はフィルム30にめり込んだ状態とはなっておらず、従ってパンプ12は樹脂層13にその全体が封止された状態となっている（この状態を図19（B）に拡大して示す）。

【0222】この状態において、図20（A）に示されるように樹脂層13に固着されたフィルム30Aを樹脂層13から剥離する処理を行なう。しかるに、フィルム30Aを樹脂層13から剥離しても、図20（B）に拡大して示すように、パンプ12はその全体が樹脂層13に封止された状態を維持する。

【0223】また、この図20（B）に示されるパンプ12の全体が樹脂層13に封止された状態は、先に図11及び図12を用いて説明したフィルム30、30Aを用いない樹脂封止工程を実施した場合においても発生する。

【0224】このように、パンプ12の全体が樹脂層13に封止された状態では、これを分離処理し半導体装置を形成しても、実装基板14との電氣的接続を行なえない。よって、パンプ12の先端部を樹脂層13から露出させるための処理が必要となる。図21（A）は、パンプ12の先端部を樹脂層13から露出させるための方法を示している。

【0225】本実施例では、図21（A）に示されるように、パンプ12の先端部を樹脂層13から露出させる手段としてレーザ照射装置60を用いている。レーザ照射装置60としては、例えば樹脂に対する加工性の良好な炭酸ガスレーザの使用が考えられる。

【0226】また、レーザ照射装置60による樹脂層13の切削深さは、レーザ照射装置60のエネルギーを適宜設定することにより調整することができる。よって、樹脂層13から露出させるパンプ12の先端量を精度よく設定することができる。

【0227】図21（A）に示されるように、レーザ照射装置60を用いてレーザ光を樹脂層13上で操作させることにより、全てのパンプ12の先端部を樹脂層13から露出させることができる。図21（B）は、レーザ加工処理が終了し、樹脂層13からパンプ12の先端部が露出した状態を示している。

【0228】このように、パンプ12の先端部を樹脂層13から露出させる処理を行なうことにより、フィルム30Aとして弾性変形しない材質のものを用いても、また図11及び図12を用いて説明したフィルム30、30Aを用いない樹脂封止工程を実施した場合であっても、実装基板14に対し適正に実装処理を行なうことができる半導体装置を製造することができる。

36

【0229】尚、パンプ12の先端部を樹脂層13から露出させる処理は、レーザ光照射に限定されるものではなく、その他にエキシマレーザ、エッチング、機械研磨、及びブラスト等の利用が考えられる。この場合、エキシマレーザを用いた場合には、容易かつ精度よく突起電極の先端部を露出させることができる。また、エッチング、機械研磨或いはブラストを用いた場合には、安価に突起電極の先端部を露出させることができる。

【0230】続いて、半導体装置製造用金型の他実施例について図22乃至図25を用いて説明する。

【0231】図22は、第3実施例である半導体装置製造用金型20C（以下、金型20Cという）を示している。尚、以下説明する図22乃至図25において、図1に示した第1実施例に係る金型20と同一構成については同一符号を附してその説明を省略する。

【0232】本実施例に係る半導体装置製造用金型20Cは、第1の下型半体23Cの基板16が載置される部位に、この基板16を第1の下型半体23Cに固定或いは離型させる固定・離型機構70を設けたことを特徴とするものである。この固定・離型機構70は、大略すると多孔質部材71、吸排気装置73、び配管74等により構成されている。

【0233】多孔質部材71は、例えば多孔質セラミック或いは多孔質金属等により構成されており、その内部を気体（例えば空気）が通過できる構成とされている。この多孔質部材71は、第1の下型半体23Cの基板16が載置される部位に所定間隔をおいて複数個配設されている。

【0234】また、多孔質部材71の下部には夫々配管73が形成されており、この配管73は集合された上で給排気装置72に接続された構成とされている。給排気装置72は例えばコンプレッサであり、配管73に対して圧縮空気を供給する圧送モードと、配管73に対して吸引処理を行なう吸引モードとに切替え処理を行いうる構成とされている。

【0235】従って、給排気装置72が圧送モードとなることにより、圧縮空気は配管73を介して多孔質部材71に供給され、多孔質部材71より外部に噴射される。この時、第1の下型半体23Cに基板16が載置されている場合には、基板16は離脱方向に付勢されることとなる。この状態は、図22に中心線より右側に図示される状態であり、以下この状態を離型状態という。

【0236】一方、給排気装置72が吸引モードとなることにより、給排気装置72は配管73を介して吸引処理を行なう。よって、この吸引処理により発生する負圧は多孔質部材71に以下される。この時、第1の下型半体23Cに基板16が載置されている場合には、基板16は多孔質部材71に向け吸引されることとなる。この状態は、図22に中心線より左側に図示される状態であり、以下この状態を固定状態という。

(20)

37

【0237】上記のように、金型20Cに固定・離型機構70を設けることにより、固定状態においては、基板16は第1の下型半体23Cに固定されるため、樹脂封止処理において基板16に反り等の変形が発生することを防止することができる。また、基板16が持つ固有の反りを矯正することもできる。更に、離型状態となっている時には、基板16は第1の下型半体23Cから離脱付勢されるため、基板16の金型20Cからの離型性を向上させることができる。

【0238】図23は、第4実施例である半導体装置製造用金型20D（以下、金型20Dという）を示している。

【0239】前記した第1実施例に係る金型20では、第1の下型半体23が固定されており、第2の下型半体24が第1の下型半体23に対して昇降動作する構成とされていた。これに対し、本実施例に係る金型20Dは、第2の下型半体24Dが固定されており、第1の下型半体23Dが第2の下型半体24Dに対して昇降動作する構成としたことを特徴とするものである。

【0240】本実施例のように、第1の下型半体23Dが第2の下型半体24Dに対して昇降動作する構成としても、離型工程において確実に樹脂層13が形成された基板16を金型20から離型させることができる。尚、図23において、中心線より左側に示されるのが第1の下型半体23Dが上動した状態であり、また中心線より右側に示されるのが第1の下型半体23Dが下動した状態である。

【0241】図24は、第5実施例である半導体装置製造用金型20E（以下、金型20Eという）を示している。

【0242】前記した第1実施例に係る金型20では、第2の下型半体24の内周側壁には傾斜部27を形成することにより離型性を向上させる構成とされていた。これに対し、本実施例に係る金型20Eは、キャビティ28を形成した状態において、第1の下型半体23の上面の面積よりも第2の下型半体24Eで囲繞される面積が広がる部分を有する構成とすることにより、第2の下型半体24Eが第1の下型半体23と接する部位に矩形形状の段差部74が形成された構成となっている。

【0243】上記のように、第2の下型半体24Eに段差部74を形成しても離型性を向上させることができ、また段差部74の形状が略矩形形状であるため段差部74の形成を容易に行なうことができる。

【0244】尚、図24において、中心線より左側に示される状態は、樹脂層13から離脱するために第2の下型半体24Eが樹脂封止位置から下動した状態であり、また中心線より右側に示されるのは、第2の下型半体24Eが上動して樹脂層13が形成された基板16が金型20Eから離型した状態である。

【0245】図25は、第6実施例である半導体装置製

38

造用金型20F（以下、金型20Fという）を示している。

【0246】本実施例に係る金型20Fは、上型21F、下型22F（第1の下型半体23F、第2の下型半体24F）の樹脂層13との接触面に、付着処理膜75を形成したことを特徴とするものである。この付着処理膜75は、樹脂層13となる樹脂とは付着しない材料が選定されているため、よって離型時において容易に樹脂層13が形成された基板16を金型20Fから離型させることができる。

【0247】図76及び図77は、第6実施例の変形例を示している。図76は、第1の下型半体23の上面の面積に対し基板16の面積が小さい場合、第1の下型半体23の上面にフィルム30Dを配設したものである。これにより、封止樹脂35と第1の下型半体23とが直接接触する面積を小さくすることができ、離型性を向上させることができる。

【0248】尚、本実施例において、先に図22を用いて説明したような吸引処理を行なう場合には、予めフィルム30Dの必要箇所に小孔（真空用孔）を形成しておけばよい。

【0249】また、図77は、第1の下型半体23の上面の面積と基板16の面積とが略等しくされた構成を示している。前記した各実施例では、第1の下型半体23の上面の面積に対し基板16の面積が小さい構成であったため、樹脂封止処理が行なわれると、樹脂層13は基板16の側部位置（側面部）にも配設された構成となっていた。

【0250】これに対し、第1の下型半体23の上面の面積と基板16の面積を略等しくすることにより、樹脂層13は基板16の上面のみに形成される構成となる。このように、基板16の使用形態に応じ、樹脂層13を基板16の上面のみ、或いは上面部に加え側面部を含む範囲に選択的に配設することが可能となる。

【0251】尚、図77の構成では、離型性を向上させる機構としては、上型21に関してはフィルム30を用い、また下型22に関しては不着処理膜75（図25参照）を用いた。

【0252】続いて、第2及び第3実施例である半導体装置について説明する。

【0253】図26は第2実施例である半導体装置10Aを示しており、また図27は第3実施例である半導体装置10Bを示している。尚、図26及び図27において図9に示した第1実施例に係る半導体装置10と対応する構成については同一符号を附して説明する。

【0254】第2実施例に係る半導体装置10Aは、ステージ部材80に複数の半導体素子11を搭載しモジュール化された構成とされている。また、樹脂層13は先端部を残しパンプ12を封止すると共に、各半導体素子11の側部までも封止した構成とされている。更に、ス

(21)

39

ステージ部材80は放熱性の良好な材料（例えば、銅またはアルミニウム）により形成されている。

【0255】上記構成とされた半導体装置10Aは、ステージ部材80として放熱性の良好な材料を用いているため、複数の半導体素子11を搭載しても高い放熱性を維持することができる。

【0256】また、第3実施例に係る半導体装置10Bは、図26に示される半導体装置10Aにおいて、ステージ部材80の外周側部にダム部81を形成したことを特徴とするものである。このダム部81のステージ部材80の素子搭載面からの高さH2（図27中、矢印で示す）は、半導体素子11の素子搭載面からの高さH1（図中、矢印で示す）に対して高くなるよう構成されている。

【0257】更に、ダム部81のステージ部材80の素子搭載面からの高さH2は、半導体素子11の素子搭載面からパンプ12の先端部までの高さH3（図中、矢印で示す）に対して所定量低くなるよう構成されている。

【0258】上記構成とすることにより、ダム部81とステージ部材80とにより構成される凹部内に樹脂層13を形成するために樹脂を充填すると、ダム部81の上端まで樹脂を充填した時点でパンプ12の先端部を残しパンプ12を封止することができる。よって、パンプ12の先端部を露出させた状態の樹脂層13を容易に形成することができる。

【0259】また、上記した第2及び第3実施例に係る半導体装置10A、10Bにおいて、樹脂層13の上面に追加配線を形成することにより、複数の半導体素子11をこの追加配線により相互接続して機能化させることができる。

【0260】続いて、第8実施例について説明する。図28は、第8実施例に係る半導体装置の製造方法を説明するための図であり、樹脂封止工程が終了した状態の基板16を示している。また、図28（A）は基板16の全体図であり、図28（B）は基板16の部分拡大図である。尚、図28において、図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

【0261】前記した第1実施例に係る半導体装置の製造方法では、樹脂層13を一種類の封止樹脂35により形成した構成とされていた。ところで、この樹脂層13には種々の機能が要求されており、例えば基板16を保護する点からは樹脂層13は硬質樹脂の方が望ましく、また実装時等においてパンプ12に印加される応力を緩和する点からは樹脂層13は軟質樹脂の方が望ましい。しかるに、これらの要求を一種類の樹脂で全て満足させることは、実際には不可能である。

【0262】そこで、本実施例では、樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用い、よって複数（本実施例では2種）の樹脂

40

層13A、13Bを形成することを特徴とするものである。図28に示す例では、樹脂層13Aと樹脂層13Bを積み重ねて積層した構造を示している。

【0263】このように、複数の樹脂層13A、13Bを形成するには、樹脂封止工程で先ず金型内に樹脂層13Aとなる封止樹脂を装填して樹脂層13Aを形成し、次に金型内に樹脂層13Bとなる封止樹脂を装填して樹脂層13Bを形成する。或いは、予め樹脂層13Aとなる封止樹脂の上部に樹脂層13Bとなる封止樹脂を積層した構造の封止樹脂を作成しておき、1回の樹脂封止処理で樹脂層13A及び樹脂層13Bを一括的に形成する方法を用いてもよい。

【0264】本実施例のように複数の樹脂層13A、13Bを基板16に積層することにより、例えば外側に位置する樹脂層13Bとして硬質樹脂を用い、また内側に位置する樹脂層13Aとして軟質樹脂を用いることが可能となる。この構成とした場合、基板16は硬質樹脂よりなる樹脂層13Bにより確実に保護される構成となり、また実装時等にパンプ12に印加される応力は軟質樹脂よりなる樹脂層13Aにより吸収することができる。よって、本実施例に係る製造方法で製造される半導体装置の信頼性を向上させることができる。

【0265】続いて、第9実施例について説明する。

【0266】図29は、第9実施例に係る半導体装置の製造方法を説明するための図である。尚、図29において、図1乃至図9を用いて説明した第1実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

【0267】本実施例においても、前記した第8実施例と同様に樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数（本実施例では2種）の封止樹脂を用いたことを特徴としている。しかるに、前記した第8実施例では互いに異なる樹脂層13A、13Bを積層した構造であったが、本実施例では樹脂層13Bを基板16の外周位置に配設し、この樹脂層13Bに囲繞される部分に樹脂層13Aを配設した構造としたことを特徴としている（図29（C）参照）。以下、本実施例における半導体装置の製造方法について説明する。

【0268】図29（A）は、本実施例に係る半導体装置の製造方法における樹脂封止工程を示している。本実施例に係る樹脂封止工程で用いる金型20Gは、第1実施例において図1を用いて説明した金型20の構造に対して上下が逆となった構造を有しているが、説明の便宜上、金型20Gの各構成は第1実施例で説明した金型20と対応した符号及び名称で示している。また、本実施例では、前記した第5実施例と同様に補強板50を有した構造となっている。

【0269】補強板50は第1の下型半体23に装着されており、また補強板50の下面（基板16と対向する面）には、樹脂層13Aとなる封止樹脂35A及び樹脂

(22)

41

層13Bとなる封止樹脂35Bが予め配設されている。この樹脂層13Bとなる封止樹脂35Bは補強板50の外周位置に配設されており、また樹脂層13Aとなる封止樹脂35Aは封止樹脂35Bに囲繞されるようにその内部に配設されている。更に、パンプ12が形成された基板16は、フィルム30を介して上型21上に載置されている。

【0270】上記のように基板16及び封止樹脂35A、35Bが配設された補強板50が金型20G内に装着されると、第1の下型半体23は上型21に向け移動し、よって封止樹脂35A、35Bの圧縮成形が実施され、樹脂層13A、13Bが形成される。この際、上記したように封止樹脂35Bは補強板50の外周位置に配設され、また封止樹脂35Aは封止樹脂35Bに囲繞されるよう配設されているため、樹脂成形された状態において、樹脂層13Bは基板16の外周位置に形成され、また樹脂層13Aは封止樹脂35Bに囲繞されるよう形成される。

【0271】上記の樹脂封止工程が終了すると、図29(B)に示されるように、突起電極露出工程が実施されてフィルム30が除去され、これにより図29(C)に示される半導体装置10Cが形成される。

【0272】上記の製造方法によれば、例えば基板16(半導体素子)の外周位置に配設される樹脂層13Bとして硬質樹脂を選定し、この樹脂層13Bに囲繞される樹脂層13Aとして軟質樹脂を選定することが可能となる。よって、本実施例により製造される半導体装置10Cは、その外周側部が硬質樹脂よりなる樹脂層13Bに囲繞された構成となるため、基板16は補強板50及びこの樹脂層13Bにより確実に保護された構造となる。よって、半導体装置10Cの信頼性を向上させることができる。

【0273】また、樹脂層13Bの内側に位置する樹脂層13Aは、軟質樹脂により形成されているため、パンプ12に対し実装時等に応力が印加されても、この応力は軟質樹脂よりなる樹脂層13Aにおいて吸収されたため、パンプ12に印加される応力の緩和を図ることができる。よって、これによっても半導体装置10Cの信頼性を向上させることができる。

【0274】続いて、第10及び第11実施例について説明する。

【0275】図30は第10実施例に係る半導体装置の製造方法を説明するための図であり、また図31は第11実施例に係る半導体装置の製造方法を説明するための図である。尚、図30及び図31において、図1乃至図9を用いて説明した第1実施例、及び図29を用いて説明した第9実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

【0276】図30に示す第10実施例に係る製造方法では、前記した第9実施例と同様に樹脂封止工程にお

42

て予め封止樹脂35を補強板50に配設しておくことを特徴とするものである。また、図31に示す第11実施例に係る製造方法では、補強板50Aに枠部54を一体的に設けると共に、この補強板50Aに予め封止樹脂35を配設しておくことを特徴とするものである。

【0277】このように、樹脂封止工程において予め封止樹脂35を補強板50、50Aに配設しておくことにより、補強板50、50Aを金型20Gの一部として用いることが可能となる。具体的には、補強板50、50Aを第1の下型半体23の一部として用いることができる。

【0278】これにより、封止樹脂35が直接第1の下型半体23(金型20G)に触れる面積を少なくすることができ、従来であれば必要とされた金型に付着した不要樹脂の除去作業を不要とすることができ、樹脂封止工程における作業の簡単化を図ることができる。

【0279】特に、第11実施例に係る製造方法では、補強板50Aに枠部54を設けることにより、補強板50Aの基板16と対向する位置には凹部55が形成され、この凹部55をキャビティとして用いることが可能となる。図30に示される平板状の補強板50を用いた構成では、封止樹脂35は第2の下型半体24に触れてしまい、この接触部分における不要樹脂の除去作業は必要となる。

【0280】しかるに、図31に示される第11実施例では封止樹脂35が金型30Gに全く触れない構成とすることができ、よって金型20Gに付着した不要樹脂の除去作業を全く不要とすることができる。

【0281】また、上記した第10及び第11実施例において、補強板50、50Aを放熱性の良好な材料により形成することにより、半導体装置10D、10Eの放熱特性を向上させることができる。尚、図30(B)は第10実施例に係る製造方法により製造される半導体装置10Dを示しており、図31(B)は第11実施例に係る製造方法により製造される半導体装置10Eを示している。

【0282】続いて、第12実施例について説明する。

【0283】図32及び図33は、第12実施例に係る半導体装置の製造方法を説明するための図である。尚、図32及び図33において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0284】本実施例に係る製造方法は、樹脂封止工程において、先ず前記した各実施例と同様にパンプ12が形成された基板16の表面に樹脂層13(第1の樹脂層)を形成した後、基板16の背面に第2の樹脂層17を形成することを特徴とするものである。以下、図32及び図33を用いて本実施例における具体的な樹脂封止処理について説明する。

【0285】図32(A)～図32(B)は、基板16



(23)

43

のバンプ12が形成され表面に第1の樹脂層13を圧縮成形する工程を示している。この図32(A)～図32(B)に示した処理は、第1実施例において図1～図4を用いて説明した処理と全く同一の処理である。このため、第1の樹脂層13の形成処理についての説明は省略するものとする。

【0286】図32(A)～図32(B)の処理を実施することにより基板16の表面(バンプ形成面)に第1の樹脂層13が形成されると、基板16を金型20から取出、上下を逆にして再び金型20に装着する。即ち、  
10 基板16のバンプ12が形成された面が第1の下型半体23と対向するよう、基板16を金型20に装着する。そして、図33(D)に示されるように、第1の下型半体23上に載置された基板16の上面に第2の封止樹脂36を載置する。

【0287】続いて、図33(E)に示されるように、上型21及び第2の下型半体24を下動させることにより、第2の封止樹脂36を圧縮成形する。これにより、図33(F)に示されるように、基板16の背面側にも第2の樹脂層17が形成される。

【0288】図33(G)は、本実施例の製造方法により製造された半導体装置10Eを示している。同図に示されるように、半導体装置10Eは、バンプ12が形成された基板16(半導体素子)の表面に第1の樹脂層13が圧縮成形されると共に、基板16の背面には第2の樹脂層17が圧縮成形された構成となっている。

【0289】上記のように、樹脂封止工程でバンプ12が配設された基板16の表面に第1の樹脂層13を形成した後に、この基板16の背面を覆うように第2の樹脂層17を形成したことにより、製造される半導体装置  
30 10Eのバランスを良好とすることができる。

【0290】即ち、基板16(半導体素子)と封止樹脂は熱膨張率が異なるため、基板16の表面(バンプ12形成された面)のみに第1の樹脂層13を配設した構成では、基板16の表面と背面において熱膨張差が発生して基板16に反りが発生するおそれがある。

【0291】しかるに、本実施例の製造方法のように基板16の表面及び背面を共に樹脂層13、17で覆うことにより、基板16の表面及び背面の状態を均一化することができ、半導体装置10Eのバランスを良好とすることができる。これにより、熱印加時等において半導体装置10Eに反りが発生することを防止することができる。

【0292】また、本実施例に係る製造方法では、基板16の表面に配設する第1の樹脂層13と、基板16の背面に配設する第2の樹脂層17とを異なる特性を有する樹脂に選定することも可能である。例えば、第1の樹脂層13として軟質の樹脂を選定することにより、バンプ12に印加される応力を緩和することができる。

【0293】また、背面に配設される第2の樹脂層17  
50

44

として硬質の樹脂を選定することにより、外力が印加された場合に基板16を確実に保護することができる。更に、第2の樹脂層17として放熱特性の良好な樹脂を選定することにより、半導体装置10Eの放熱特性を向上させることができる。

【0294】続いて、第13実施例について説明する。

【0295】図34は、第13実施例に係る半導体装置の製造方法を説明するための図である。尚、図34において、図1乃至図9を用いて説明した第1実施例、及び  
10 図32、図33を用いて説明した第12実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0296】本実施例における製造方法においても、基板16の表面に第1の樹脂層13を形成すると共に、基板16の背面に第2の樹脂層17を形成する。しかるに、図32及び図33を用いて説明した第12実施例に係る製造方法では、先ず図32(A)～(C)の工程を実施することにより第1の樹脂層13を形成し、次に第1の樹脂層13が形成された基板16を金型20から取り出して上下を逆にし、その上で図33(D)～(F)の工程を実施することにより第2の樹脂装置17を形成していた。このため、第12実施例に係る製造方法では、2回の圧縮成形処理を必要としてしまい、半導体装置10Eの製造効率が良好であるとはいえなかった。

【0297】そこで、本実施例に係る製造方法では、1回の圧縮成形で第1及び第2の樹脂層13、17を同時に形成しうるようにしたことを特徴とするものである。このため本実施例では、樹脂封止工程において基板16を金型20に装着する際、図34(A)に示されるように、先ず第2の封止樹脂36を金型20に装着した上で基板16を第2の封止樹脂36に載置されるよう装着し、更にその上部に第1の封止樹脂35を配設する構成とした。この際、第2の封止樹脂36は基板16の背面側と当接し、また第1の封止樹脂35は基板16のバンプ12が形成されている表面上に載置されるようにしている。

【0298】図34(B)は、圧縮成形を実施している状態を示している。同図に示されるように、基板16は第1の封止樹脂35と第2の封止樹脂36とに挟まれた状態であるため、基板16の表面及び背面に同時に封止樹脂35、36を圧縮成形することができる。また、図34(C)は圧縮成形が終了し、基板16の表面に第1の樹脂層13が、また基板16の背面に第2の樹脂層17が形成された状態を示している。

【0299】尚、図34(D)は、本実施例に係る製造方法により製造された半導体装置であり、その構成は第12実施例で製造された半導体装置10Eと同一構成である(本実施例に係る製造方法により製造された半導体装置も符号10Eで示す)。上記のように、本実施例による製造方法では第12実施例の製造方法のように基板



(24)

45

16を上下逆にする作業は不要となり、第1の樹脂層13と第2の樹脂層17を1回の圧縮成形処理により一括的に形成することができるため、半導体装置10Eの製造効率を向上させることができる。

【0300】続いて、第14実施例について説明する。

【0301】図35は、第14実施例に係る半導体装置の製造方法を説明するための図である。尚、図35において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0302】前記した各実施例においては、突起電極として球状パンプを例に挙げて説明したが、本実施例では突起電極としてストレートパンプ18を用いたことを特徴とするものである。このストレートパンプ18は円柱形状を有しており、例えばメッキ法を用いて形成される。このように、ストレートパンプ18は円柱形状を有しているため、その先端部の面積は球形状とされたパンプ12に比べて広くなっている。

【0303】本実施例のように突起電極の構造をストレートパンプ18としても、樹脂封止工程及び突起電極露出工程は、前記した各実施例と同様の処理により行なうことができる。図35(A)、(B)は、樹脂封止工程において、ストレートパンプ18が形成された基板16を金型20(図示せず)に装着した状態を示している。尚、図35(B)は、図35(A)の部分拡大図である。この装着状態において、ストレートパンプ18の先端部にはフィルム30Aが装着される。

【0304】このフィルム30Aは、図19に示したものと同一構成であり、容易に弾性変形しない構成とされている。この状態の基板16に対して樹脂封止処理が実施されることにより、フィルム30Aと基板16の表面との間には樹脂層13が圧縮成形される。

【0305】樹脂封止工程が終了すると、図35(C)に示されるように樹脂層13に固着されたフィルム30Aを樹脂層13(梨地で示す)から剥離する処理を行なう。しかるに、フィルム30Aを樹脂層13から剥離しても、図35(D)に拡大して示すように、ストレートパンプ18はその先端部を除き樹脂層13に埋設された状態を維持する。

【0306】ところで、図19乃至図21を用いて先に説明した第7実施例では、パンプ12が球状形状とされていたため、その全体が樹脂層13に封止された状態では、樹脂層13から露出する面積が小さく、よって図21に示されるようなパンプ12を樹脂層13から露出させる処理が行なわれていた。

【0307】これに対し、本実施例では円柱形状を有したストレートパンプ18を用いているため、樹脂層13から露出した先端部の面積は広がっている。よって、図35(D)に示されるように、単にフィルム30Aを樹脂層13から剥離した状態のままだと、十分に電氣的

46

な接続を行なうことができる。よって、球状のパンプ12を用いた場合には必要となるパンプ12を樹脂層13から露出させる処理を不要とすることができ、半導体装置の製造工程の単純化を図ることができる。

【0308】尚、本実施例において更に電氣的な接続性を向上させる必要がある場合には、ストレートパンプ18を樹脂層13から露出させる処理を実施してもよい。また、以下の説明において単にパンプ12という場合には球状形状のパンプ12とストレートパンプ18を総称するものとし、個別に説明する必要がある場合には球状パンプ12、ストレートパンプ18と分けて称することとする。

【0309】続いて、第15実施例について説明する。

【0310】図36は、第15実施例に係る半導体装置の製造方法を説明するための図である。尚、図36において、図1乃至図9を用いて説明した第1実施例、及び図35を用いて説明した第14実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0311】本実施例に係る製造方法では、突起電極露出工程を実施することによりパンプ12の少なくとも先端部を樹脂層13から露出させた後に、このパンプ12(本実施例ではストレートパンプ18を用いている)の先端部にもう一つのパンプである外部接続用突起電極90(以下、外部接続用パンプという)を形成することを特徴とする。

【0312】この外部接続用パンプ90は、外部接続用突起電極形成工程を実施することにより形成される。この外部接続用突起電極形成工程は、一般に実施されているパンプ形成技術を適用することが可能であり、転写法、メッキ法、或いはディンプルプレート法等を適用することができる。そして、突起電極露出工程を実施した後にこの外部接続用突起電極形成工程を実施することにより、ストレートパンプ18の先端部には外部接続用パンプ90が形成される。

【0313】本実施例のように、突起電極露出工程を実施した後に外部接続用突起電極形成工程を実施し、ストレートパンプ18の先端部に外部接続用パンプ90を形成したことにより、半導体装置を実装基板に実装する際の実装性を向上させることができる。

【0314】即ち、パンプ12は基板16(半導体素子)に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さなパンプ12を実装基板に電氣的に接続する外部接続端子として用いた場合には、実装基板とパンプ12とが確実に接続されないおそれがある。

【0315】しかるに、本実施例で設ける外部接続用パンプ90は、基板16に形成されているパンプ12と別体であるため、基板16及びパンプ12に影響されず自由に設計することが可能であり(但し、パンプ12と電氣的に接続させる必要はある)、実装基板の構成に適応

(25)

47

させることができる。よって、バンプ12の先端部に外部接続用バンプ90を配設することにより、外部接続用バンプ90が設けられた半導体装置と実装基板との実装性を向上させることができる。

【0316】続いて、第16実施例について説明する。

【0317】図37は、第16実施例に係る半導体装置の製造方法を説明するための図である。尚、図37において、図1乃至図9を用いて説明した第1実施例、及び図36を用いて説明した第15実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0318】本実施例では、外部接続用バンプ90を形成する外部接続用突起電極形成工程において、バンプ12と外部接続用外部接続用突起電極とを応力緩和機能を有する接合材91（以下、応力緩和接合材という）を用いて接合させることを特徴とするものである。また本実施例では、外部接続用外部接続用突起電極としてボール電極92を用いていることも特徴としている。

【0319】応力緩和接合材91は、例えば実装時に印加される温度よりも高い融点を有したはんだを適用することができる。また、ボール電極92としては、例えばパラジウムのワイヤを用いることができる。バンプ12とボール電極92は応力緩和接合材91により接合される。また、はんだは比較的軟質な金属であるため、バンプ12とボール電極92との接合位置においては、応力緩和接合材91を構成するはんだが変形することにより、ボール電極92に印加された応力を吸収することができる。

【0320】本実施例によれば、バンプ12とボール電極92は応力緩和機能を有する応力緩和接合材91により接合されるため、ボール電極92に外力が印加され応力が発生しても、この応力は応力緩和接合材91により応力緩和され、バンプ12に伝達されることを防止することができる。これにより、外部応力により基板16（半導体素子）にダメージが発生することを防止でき、よって製造される半導体装置の信頼性を向上させることができる。

【0321】また、外部接続用外部接続用突起電極としてボール電極92を用いることにより、球状の電極に比べて外部接続端子（実装基板側、或いは試験装置側の外部接続端子）との接続状態を良好とすることができる。これは、球状の電極では接続面積が小さくなるのに対し、ボール電極92では接続面積を広くできるためである。

【0322】また、球状の電極はその形成が難しく高さ（直径）にバラツキが生じやすいが、ワイヤ状のボール電極92では同一長さのものを精度良く得ることができ、よってバラツキの発生を防止することができる。更に、ボール電極92は弾性的に座屈変形可能であるため、ボール電極92自体にも応力緩和機能を有している。よって、外力入力時における応力の緩和をより確実

48

に行なうことができる。

【0323】続いて、第17実施例について説明する。

【0324】図38は、第17実施例に係る半導体装置の製造方法を説明するための図である。尚、図38において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0325】前記した第1実施例では、バンプ12を樹脂層13から露出させるためにフィルム30として弾性可能な材質を選定し、フィルム30をバンプ12に配設した時点でバンプ12の先端部がフィルム30にめり込むようにし、よって図7に示すようにフィルム30を剥離した時点でバンプ12の先端部が樹脂層13から露出するようにした。しかるに、この第1実施例の方法では、樹脂層13から露出するバンプ12の先端部の面積は小さくなり、実装基板との電氣的接続性が低下するおそれがある。

【0326】一方、前記した第7実施例では、フィルム30Aとして硬質な材質を選定し、フィルム30Aを剥離した時点ではバンプ12の先端部は樹脂層13から露出しない状態とし、バンプ12の先端部を樹脂層13から露出させるには、図21に示すようにレーザ照射装置60等を用いて露出させる方法を用いた。しかるに、第7実施例の方法では、バンプ12を樹脂層13から露出させるために大掛かりな設備が必要となってしまう。

【0327】そこで本実施例では、図38（A）に示すように、樹脂封止工程においてフィルム30Bとして硬質材料のものを選定すると共に、このフィルム30Bのバンプ12と対向する位置に凸部19が形成されたものを用いたことを特徴とする。以下、この凸部19が形成されたフィルム30Bを用いた樹脂封止工程について説明する。尚、図38において、金型の図示は省略している。

【0328】図38（B）は、基板16、封止樹脂35、及びフィルム30Bを金型に装着した状態を示している。この状態において、フィルム30Bに形成された凸部19は、基板16に形成されたバンプ12と対向するよう位置決めされている。また、フィルム30Bは硬質の樹脂材料により形成されており、凸部19は比較的軟質な樹脂材料により形成されている。即ち、本実施例においては、フィルム30Bと凸部19とは別材料により構成されている（尚、同一材料による一体化された構成としてもよい）。

【0329】図38（C）は、封止樹脂35に対して圧縮成形処理が行なわれている状態を示している。この圧縮成形処理時において、フィルム30Bに形成された凸部19はバンプ12に押圧された状態となっている。従って、凸部19がバンプ12を押圧している領域については、バンプ12に封止樹脂35が付着することはない。かつ、凸部19は軟質樹脂により構成されているた

(26)

49

め、凸部19が可撓変形することによりバンプ12と凸部19との接触面積は広がっている。

【0330】図38(D)は突起電極露出工程を示しており、基板16からフィルム30Bが取り除かれた状態を示している。前記したように、凸部19がバンプ12を押圧している領域においてはバンプ12に封止樹脂35が付着しないため、フィルム30Bが取り除かれた状態において、この領域は樹脂層13から露出した状態となる。かつ、本実施例においてバンプ12が樹脂層13から露出する面積は、前記した第1実施例の方法に比べて広がっている。

【0331】よって、本実施例による製造方法によれば、大掛かりな設備を用いることなく、容易かつ確実にバンプ12を樹脂層13から露出させることができる。また、樹脂層13から露出されるバンプ12の面積は広いから、例えば図38(E)に示すように、バンプ12の先端部に外部接続用バンプ90を設ける場合においても、確実にバンプ12と外部接続用バンプ90とを接合することができる。

【0332】続いて、第18実施例について説明する。

【0333】図39及び図40は、第18実施例に係る半導体装置の製造方法を説明するための図である。尚、図39及び図40において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0334】本実施例では、基板16に形成されるバンプ12Aの形成方法及びその構造に特徴を有するものである。このバンプ12Aは、基板16の表面に設けられた接続電極98上に形成される。バンプ12Aを形成するには、まず接続電極98の上部にコア部99（梨地で示す）を形成する。このコア部99は、弾性を有する樹脂（例えば、ポリイミド等）により形成されている。

【0335】コア部99を接続電極98上に形成する具体的方法としては、まず基板16の全面にコア部99となる樹脂（感光性のポリイミド）を所定の厚さとなるようスピンコートし、続いてホトリソグラフィー技術を用いて接続電極98以外の位置の樹脂を除去する。これにより、接続電極98上にコア部99が形成される。

【0336】続いて、このコア部99の表面全体を覆うように導電膜100が形成される。この導電膜100はメッキ法或いはスパッタリング法等の薄膜形成技術を用いて形成され、その基板側端部は接続電極98と電気的に接続される。導電膜100の材質としては、ある程度の弾性を有すると共に電気的抵抗の低い金属が選定されている。以上の処理を実施することにより、バンプ12Aは形成される。尚、図中102は絶縁膜である。

【0337】上記の説明から明らかなように、バンプ12Aはコア部99の表面に導電膜100が形成された構成とされている。前記のようにコア部99は弾性を有しており、かつ導電膜100もある程度の弾性を有した材

50

料により形成されているため、例えば実装時等においてバンプ12Aに外力が作用し応力が発生しても、この応力はコア部99及び導電膜100が弾性変形することにより吸収される。よって、この応力が基板16に印加されることを防止でき、基板16にダメージが発生することを抑制することができる。

【0338】ここで、バンプ12Aの樹脂層13に対する高さについて説明する。図39(A)は、バンプ12Aの先端部が樹脂層13よりも突出した構成を示している。この構成では、バンプ12Aは樹脂層13より広く露出しているため、外部接続用バンプ90を設けた場合には、バンプ12Aと外部接続用バンプ90との接合面積は広くなり、確実にバンプ12Aと外部接続用バンプ90とを接合することができる。

【0339】また、図39(B)は、バンプ12Aの先端部と樹脂層13の表面とが同一面とされた構成を示している。この構成を有した半導体装置は、LCC(Leadless Chip Carrier) 構造の半導体装置として用いることが可能となり、実装密度の向上を図ることができる。

【0340】また、図39(C)は、バンプ12Aの先端部が樹脂層13の表面よりも低い位置にある構成を示している。従って、樹脂層13にはバンプ12Aを露出するための凹部101が形成されている。この構成では、外部接続用バンプ90を設けた場合には、凹部101が外部接続用バンプ90の位置決めを行なう機能を奏するため、図39(A)に示した構成に比べてバンプ12Aと外部接続用バンプ90との位置決め処理を容易に行なうことができる。

【0341】一方、本実施例においては、図40に示されるように、基板16（半導体素子）に設けられた電極パッド97とバンプ12Aが形成される接続電極98とが離間した構成となっており、電極パッド97と接続電極98は引出し配線96により接続された構成となっている。

【0342】図39に示されるように、バンプ12Aの先端部に外部接続用バンプ90を設ける構成においては、実装性の向上を図る面から一般に外部接続用バンプ90はバンプ12Aより大きく設定される。従って、バンプ12Aの隣接するピッチ間距離が小さい場合には、隣接配置される外部接続用バンプ90同士が接触するおそれがある。

【0343】そこで図40に示す例では、電極パッド97と接続電極98とを引出し配線96を用いて接続することにより、バンプ12Aが形成される接続電極98のピッチを大きくしている。これにより、隣接する外部接続用バンプ90間で干渉が発生することを回避することができる。

【0344】続いて、第19実施例について説明する。

【0345】図41は、第19実施例に係る半導体装置の製造方法を説明するための図である。尚、図41にお

いて、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0346】本実施例に係る製造方法では、図41

(A)に示されるように、樹脂封止工程を実施する前に、後に実施される分離工程において基板16が切断される位置(図中、破線Xで示す。以下、切断位置という)に比較的幅広の切断位置溝105を形成しておく。この切断位置溝105の幅寸法は、少なくとも後述する

ダイサー29の幅寸法より大きく設定されている。  
【0347】また、続いて実施される樹脂封止工程においては、樹脂層13を形成すると共に、この切断位置溝105内にも封止樹脂35を充填して切断位置樹脂層106を形成する。そして、樹脂封止工程の終了後に実施される分離工程において、図41(B)に示されるように、切断位置樹脂層106が充填された切断位置溝105内の切断位置Xで基板16をダイサー29を用いて切断する。これにより、図41(C)に示されるように、基板16は切断される。

【0348】上記した本実施例により製造方法によれば、分離工程において基板16及び樹脂層13にクラックが発生することを防止することができる。以下、この理由について説明する。

【0349】いま、仮に切断位置溝105を形成しない構成を想定すると、分離工程では表面に比較的薄い膜状の樹脂層13が形成された基板16を切断することとなる。ダイサー29を用いた切断処理は、非常に大きな応力が基板16に印加される。このため、この切断方法では薄い樹脂層13が基板16から剥離したり、また樹脂層13及び基板16にクラックが発生するおそれがある。

【0350】これに対して本実施例の製造方法では、切断位置Xに幅広の切断位置溝105を形成することにより、分離工程では切断位置樹脂層106が形成された切断位置溝105内において切断処理が行なわれることとなる。この際、切断位置樹脂層106の厚さは、他の部分に形成された樹脂層13の厚さに比べて厚くなっており、その機械的強度は強くなっている。かつ、切断位置樹脂層106は基板16に比べて可撓性を有しているため、発生する応力を吸収する機能を奏する。

【0351】よって、切断処理により発生する応力は切断位置樹脂層106に吸収され弱められた状態で基板16に印加されるため、樹脂層13及び基板16にクラックが発生することを防止することができ、半導体装置の製造歩留りを高めることができる。

【0352】また、図41(C)に示されるように、分離工程が終了した時点で、基板16の側面には切断位置樹脂層106が露出され構成となる。よって、基板16の側部は切断位置樹脂層106により保護された構成となり、外部環境の影響を基板16が直接受けることを抑

制することができる。

【0353】更に、半導体装置の搬送処理にはハンドリング装置が用いられるが、このハンドリング装置が切断位置樹脂層106が露出した部分を把持するよう構成することも可能となり、よってハンドリング装置により基板16が傷つけられることを防止することもできる。

【0354】続いて、第20実施例について説明する。

【0355】図42は、第20実施例に係る半導体装置の製造方法を説明するための図である。尚、図42において、図1乃至図9を用いて説明した第1実施例、及び図41を用いて説明した第19実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0356】前記した第19実施例に係る製造方法では、切断位置Xに切断位置溝105を形成した構成としたが、本実施例に係る製造方法では、図42(A)に示されるように、基板16が切断される切断位置Xを挟んで一对の応力緩和溝110a、110bを形成したことを特徴とするものである。従って、分離工程においては、一对の応力緩和溝110a、110bの間位置で基板16は切断されることとなる。

【0357】また、応力緩和溝110a、110bを形成することにより、樹脂封止工程においては、図42

(B)に示されるように、応力緩和溝110a、110bの内部には応力緩和樹脂層111a、111bが形成される。この応力緩和樹脂層111a、111bは、他の部分に形成される樹脂層13の厚さに比べて厚くなっており、その機械的強度は強くなっている。かつ、応力緩和樹脂層111a、111bは基板16に比べて可撓性を有しているため、発生する応力を吸収する機能を奏する。

【0358】上記構成において、分離工程において一对の応力緩和溝110a、110bの間位置で基板16を切断すると、応力緩和溝110a、110bの間に位置する基板16(以下、この部分を基板切断部16aという)には大なる応力が印加される。従って、基板切断部16a及びその上部に形成された樹脂層13にはクラックが発生する可能性がある。しかるに、この基板切断部16aの形成位置にはパンプ12及び電子回路等の重要な構成要素は形成されていないため、クラックが発生しても問題となることはない。

【0359】一方、基板切断部16aを切断することにより発生する応力は、側方に向け伝達されるが、基板切断部16aの両側部には応力緩和樹脂層111a、111bが充填された応力緩和溝110a、110bが形成されているため、切断時に発生する応力は応力緩和溝110a、110bにおいて吸収される。

【0360】よって、基板切断部16aで発生する応力が応力緩和溝110a、110bの形成位置より外側(基板16の電子回路が形成されている側)に影響を及ぼすことはなく、パンプ12及び電子回路等が形成され

(28)

53

ている領域にクラックが発生することを防止することができる。尚、図42(C)は分離工程が終了した状態を示している。

【0361】続いて、第21実施例について説明する。

【0362】図43は、第21実施例に係る半導体装置の製造方法を説明するための図である。尚、図43において、図1乃至図9を用いて説明した第1実施例、及び図41を用いて説明した第19実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0363】本実施例に係る製造方法では、樹脂封止工程を実施する前に、第1の分離工程を実施することにより基板16を個々の半導体素子112に分離する。この個々の半導体素子112には、夫々パンプ12及び電子回路(図示せず)が形成されている。

【0364】この第1の分離工程が終了すると、続いて樹脂封止工程が実施される。この樹脂封止工程では、図43(A)に示されるように、第1の分離工程において分離された半導体素子112をベース材となるフィルム部材113に整列させて搭載する。この際、半導体素子112は接着剤を用いてフィルム部材113に搭載される。また、図43(A)に示されるように、隣接する半導体素子112の間には間隙部114が形成されるよう整列される。

【0365】上記のようにフィルム部材113上に半導体素子112が搭載されると、樹脂の圧縮成形処理が行なわれ、各半導体素子112の表面には樹脂層13が形成されると共に、間隙部114には切断位置樹脂層106が形成される。続いて、パンプ12の少なくとも先端部を樹脂層13より露出させる突起電極露出工程が実施される。図43(B)は、以上の各処理が終了した状態を示している。

【0366】以上の処理が終了すると、続いて第2の分離工程が実施される。この第2の分離工程では、隣接する半導体素子112の間位置、即ち切断位置樹脂層106が形成されている位置で切断処理が行なわれ、フィルム部材113と共に切断位置樹脂層106は切断される。これにより、図43(C)に示されるように、樹脂層13が形成された半導体素子112は分離され、続いて図43(D)に示されるようにフィルム部材113が除去される。

【0367】上記した本実施例の製造方法では、第1の分離工程において予め基板16を切断することにより個々の半導体素子112に分離するため、樹脂封止工程において半導体素子112をフィルム部材113に搭載する際、異なる種類の半導体素子112をベース材に搭載することが可能となる。

【0368】よって、同一樹脂層13内に複数の半導体素子を配設する場合、異なる種類及び特性の半導体素子112を組み合わせる配設することが可能となり、設計の自由度を向上させることができる。尚、本実施例にお

54

いても、図41を用いて説明した第19実施例の効果をを得ることができることは勿論である。

【0369】続いて、第22実施例について説明する。

【0370】図44は、第22実施例に係る半導体装置の製造方法を説明するための図である。尚、図44において、図43を用いて説明した第21実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0371】本実施例に係る製造方法は、図43を用いて説明した第21実施例と略同一であるが、第21実施例では樹脂封止工程においてベース材としてフィルム部材113を用いたのに対し、本実施例では放熱板115をベース材として用いた点で差異を有するものである。

【0372】従って、樹脂封止工程においては、半導体素子112はこの放熱板115上に搭載され、また第2の分離工程では放熱板115は切断位置樹脂層106と共に切断される。しかるに、第21実施例では第2の分離工程の終了後にフィルム部材113を除去するが、本実施例においては第2の分離工程が終了した後に放熱板115を除去する処理は行なわない構成とした。これにより、製造される半導体装置には放熱板115が残存する構成となり、よって半導体装置の放熱特性を向上させることができる。

【0373】続いて、第23実施例について説明する。

【0374】図45及び図46は、第23実施例に係る半導体装置の製造方法を説明するための図である。尚、図45及び図46において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0375】本実施例に係る製造方法では、少なくとも樹脂封止工程の実施後で、かつ分離工程を実施する前に、図46に示されるように、樹脂層13に位置決め溝120を形成することを特徴とするものである。

【0376】このように、樹脂層13に位置決め溝120を形成することにより、例えば製造された半導体装置10Fに対し試験処理を行なう際、この位置決め溝120を基準として試験装置に装着することができる。また、分離工程を実施する前に位置決め溝120を形成することにより、複数の半導体装置10Fに対して一括的に位置決め溝120を形成するができ、位置決め溝120の形成効率を向上させることができる。

【0377】この位置決め溝120を形成するには、例えば図45に示されるように、ダイサー29を用いて樹脂層13にハーフスクライプを行なうことにより形成することができる。このように、ハーフスクライプを行なうことにより位置決め溝120を形成することにより、分離工程で一般的に使用するスクライピング技術を用いて位置決め溝120を形成できるため、容易かつ精度よく位置決め溝を形成することができる。

【0378】続いて、第24実施例について説明する。

(29)

55

【0379】図47は、第24実施例に係る半導体装置の製造方法を説明するための図である。尚、図47において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0380】本実施例に係る製造方法では、少なくとも樹脂封止工程の実施後で、かつ分離工程を実施する前に、図47に示されるように、基板16の背面に位置決め溝121を形成することを特徴とするものである。尚、図47(B)は図47(A)の部分拡大図である。

【0381】このように、基板16の背面に位置決め溝121を形成することにより、第23実施例と同様に位置決め溝121を基準として半導体装置の位置決めを行なうことができる。特に、半導体装置を実装する時における位置決めは、パンプ12が実装基板側に向いているため、樹脂層13に位置決め溝120を形成しても、これを上部から認識することはできない。

【0382】しかるに、本実施例のように基板16の背面に位置決め溝121を形成しておくことにより、半導体装置の実装時においても位置決め溝121を認識することができ、精度の高い実装処理を行なうことが可能となる。尚、位置決め溝121の形成は、第23実施例と同様にダイサー29を用いて基板16の背面にハーフスクライブを行なうことにより形成することができる。

【0383】続いて、第25実施例及び第26実施例について説明する。

【0384】図48は第25実施例に係る半導体装置の製造方法を説明するための図であり、また図49は第26実施例に係る半導体装置の製造方法を説明するための図である。尚、図48及び図49において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0385】第25実施例に係る製造方法は、前記した第23及び第24実施例と同様に、位置決め溝122を形成する点に特徴を有する。図48(C)は、本実施例により樹脂層13に形成された位置決め溝122を示している。

【0386】位置決め溝122を形成するには、先ず図48(A)に示されるように、脂封止工程でフィルム30Cとしてパンプ12と干渉しない位置に凸部31が形成されたものを用いる。図48(B)は、樹脂封止工程において、凸部31を有するフィルム30Cが基板16と対向配置された状態を示している。同図に示されるように、凸部31はパンプ12と対向しない位置に位置している。従って、樹脂封止工程の終了後、この凸部31により樹脂層13には位置決め溝122が形成される。

【0387】一方、第26実施例に係る製造方法は、樹脂層13に位置決め突起123を形成する点に特徴を有する。図49(C)は、本実施例により樹脂層13に形成された位置決め突起123を示している。

56

【0388】位置決め突起123を形成するには、先ず図49(A)に示されるように、脂封止工程でフィルム30Cとしてパンプ12と干渉しない位置に凹部32が形成されたものを用いる。図49(B)は、樹脂封止工程において、凹部32を有するフィルム30Cが基板16と対向配置された状態を示している。同図に示されるように、凹部32はパンプ12と対向しない位置に位置している。従って、樹脂封止工程の終了後、この凹部32により樹脂層13には位置決め突起123が形成される。

【0389】上記した第25実施例及び第26実施例によれば、樹脂封止工程でパンプ12と干渉しない位置に凸部31または凹部32が形成されたフィルム30Cを用いることにより、樹脂層13に位置決めの基準となる位置決め溝122或いは位置決め突起123を形成することができる。よって、例えば半導体装置に対し試験或いは実装処理を行なう際、この位置決め溝122或いは位置決め突起123基準として位置決め処理を行なうことが可能となり、位置決め処理の簡単化を図ることができる。

【0390】続いて、第27実施例について説明する。

【0391】図50は、第27実施例に係る半導体装置の製造方法を説明するための図である。尚、図50において、図1乃至図9を用いて説明した第1実施例と同一構成については同一符号を附してその説明を省略するものとする。

【0392】本実施例に係る製造方法では、複数配設されるパンプ12の内、位置決めの基準となるパンプ12(以下、このパンプ12を位置決め用パンプ12Bという)を設定しておき、樹脂封止工程の終了後、この位置決め用パンプ12Bの形成位置における樹脂層13を加工することにより、通常のパンプ12と位置決め用パンプ12Bとを識別しうるようにしたことを特徴とするものである。尚、位置決め用パンプ12B自体の構成は、通常のパンプ12と同一構成である。

【0393】図50(A)は、樹脂封止工程及び突起電極露出工程が終了した状態の基板16を示している。この状態では、樹脂層13は基板16上に均一の膜厚で形成されており、よってパンプ12と位置決め用パンプ12Bとを識別することはできない。

【0394】そこで本実施例では、図50(B)に示されるように、位置決め用パンプ12Bの近傍位置における樹脂層13の膜厚を薄くする加工を行なった。これにより、通常のパンプ12と位置決め用パンプ12Bとを識別することが可能となる。また、位置決め用パンプ12Bを識別化するための樹脂加工は、例えば前記した突起電極露出工程で用いるエキシマレーザ、エッチング、機械研磨或いはブラスト等を利用することができ、よって樹脂加工を行なうことにより半導体装置の製造設備が大きく変更されるようなことはない。

(30)

57

【0395】ここで、パンプ12と位置決め用パンプ12Bとを識別する方法について説明する。図50(C)は位置決め用パンプ12Bを拡大して示す図であり、また図50(D)は位置決め用パンプ12Bを上部から見た図である。一方、図51(A)は、通常のパンプ12を拡大して示す図であり、また図51(B)は通常のパンプ12を上部から見た図である。

【0396】前記したように、位置決め用パンプ12Bは通常のパンプ12と同一構成であるため、各パンプ12、12Bの構成のみでは識別を行なうことはできない。しかるに、各パンプ12、12Bは球状或いはラグビーボール状の形状を有しているため、樹脂層13に埋設されている深さによって上部から見た径寸法が変化する。

【0397】即ち、通常のパンプ12は樹脂層13に深く埋設され露出している面積が小さいため、図51

(B)に示されるように上部から見た径寸法L2は小さくなる。これに対し、位置決め用パンプ12Bは上記した樹脂加工を行なうことにより樹脂層13から大きく露出されており、従って図50(D)に示されるように上部から見た径寸法L1は大きくなっている(L1>L2)。

【0398】よって、上部から見た各パンプ12、12Bの径寸法を検出することにより、通常のパンプ12と位置決め用パンプ12Bとを識別することができる。これにより、位置決め用パンプ12Bを基準として半導体装置の位置決め処理を行なうことが可能となる。

【0399】続いて、上記した各実施例により製造される半導体装置の実装方法について説明する。

【0400】図52は第1実施例である実装方法を示している。図52(A)は、前記した第1実施例に係る製造方法により製造された半導体装置10の実装方法を示しており、はんだペースト等の接合材125を用いてパンプ12を実装基板14に接合する構成としている。また、図52(B)は、前記した第14実施例に係る製造方法により製造された半導体装置10Gの実装方法を示しており、はんだペースト等の接合材125を用いてストレートパンプ18を実装基板14に接合する構成としている。更に、図52(C)は、前記した第15実施例に係る製造方法により製造された半導体装置10Hの実装方法を示しており、パンプ12の先端部に配設された外部接続用パンプ90により実装基板14に接合する構成としている。

【0401】図53は第2実施例である実装方法を示している。同図に示される実装方法は、半導体装置10を実装基板14に実装した後、アンダーフィルレジン126を配設したことを特徴とするものである。

【0402】図53(A)は半導体装置10に形成されたパンプ12を直接実装基板14に接合した後にアンダーフィルレジン126を配設した構成であり、また図5

58

3(B)はパンプ12を接合材125を介して実装基板14に接合した後にアンダーフィルレジン126を配設した構成である。

【0403】前記したように、前記した各実施例により製造される半導体装置10、10A~10Hは、基板16の表面に樹脂層13、13A、13Bが形成されているため、基板16の保護はこの樹脂層13、13A、13Bにより確実に行なわれている。

【0404】しかるに、パンプ12、18、90が実装基板14と接合される部位において、各パンプ12、18、90は露出しており酸化するおそれがある。また、実装基板14と基板16の熱膨張率に大きな差異がある場合には、各パンプ12、18、90と実装基板14との接合位置に大きな応力が印加されるおそれがある。よって、上記した接合位置に発生する酸化防止及び応力緩和のために、アンダーフィルレジン126を配設する構成としてもよい。

【0405】図54は第3実施例である実装方法を示している(外部接続用パンプ90を有した半導体装置10Hを例に挙げている)。本実施例に係る実装方法では、実装時に放熱フィン127、128を半導体装置10Hに配設したことを特徴とするものである。

【0406】図54(A)は、1個の半導体装置10Hに対し放熱フィン127を設けた構成であり、また図54(B)は複数(図では2個)の半導体装置10Hに対し放熱フィン128を設けた構成である。尚、半導体装置10Hの実装基板14への実装手順は、放熱フィン127、128に半導体装置10Hを固定した上で実装基板14に実装しても、また半導体装置10Hを実装基板14に実装した後に放熱フィン127、128を固定することとしてもよい。

【0407】図55は第4実施例である実装方法を示している。本実施例では複数の半導体装置10をインターポーザ基板130を用いて実装基板14に実装する方法を採用している。半導体装置10はパンプ12によりインターポーザ基板130に接合されており、また各インターポーザ基板130は基板接合用パンプ129により夫々電氣的に接続された構成とされている。このため、インターポーザ基板130は、その上面及び下面に夫々接続電極130a、130bが形成されており、この各接続電極130a、130bは内部配線130cにより接続された構成とされている。

【0408】本実施例の実装方法によれば、半導体装置10を複数個積層状態で配設することができるため、実装基板14の単位面積における半導体装置10の実装密度を向上させることができる。特に、本実施例の構成は、半導体装置10がメモリである場合に有効である。

【0409】図56は第5実施例である実装方法を示している。本実施例では、先に図26を用いて説明した第2実施例に係る半導体装置10Aをインターポーザ基板



(31)

59

131に搭載した上で、このインターポーザ基板131を実装基板14に実装する方法を示している。本実施例で用いているインターポーザ基板131は多層配線基板であり、その上面に半導体装置10Aが接続される上部電極が形成されると共に、下面には実装基板14と接合するための実装用パンプ136が配設されている。

【0410】また、図57は第6実施例である実装方法を示している。本実施例では、第2実施例に係る半導体装置10Aを第1のインターポーザ基板131に搭載し、これを更に他の電子部品135と共に第2のインターポーザ基板132に搭載した上で、この第2のインターポーザ基板132を実装基板14に実装する方法を示している。第2のインターポーザ基板132も多層配線基板であり、その上面に第1のインターポーザ基板131及び電子部品135が接続される上部電極が形成されると共に、下面には実装基板14と接合するための実装用パンプ137が配設されている。

【0411】更に、図58は第7実施例である実装方法を示している。図57に示した第6実施例である実装方法では、第2のインターポーザ基板132の上面のみに半導体装置10Aが搭載された第1のインターポーザ基板131及び電子部品135を配設し、下面には実装用パンプ137を配設した構成とされていた。

【0412】これに対し、本実施例では第2のインターポーザ基板133の上面及び下面の双方に半導体装置10Aが搭載された第1のインターポーザ基板131及び電子部品135を配設したものである。尚、外部との電気的な接続は、第2のインターポーザ基板133の側端部（図中、左端部）に形成されたカードエッジコネクタ138により行なう構成とされている。

【0413】図55乃至図58を用いて説明した各実装方法では、半導体装置10、10Aと実装基板14（或いはカードエッジコネクタ138が接続されるコネクタ）との間にインターポーザ基板131～133が介在する構成となる。このインターポーザ基板131～133は多層配線基板であるため、基板内における配線の引回しを容易かつ自由度を持って行なうことができ、半導体装置10、10Aのパンプ12（外部接続用パンプ90）と実装基板14（或いはコネクタ）側の電極との整合性を容易に図ることができる。

【0414】続いて、第28実施例である半導体装置の製造方法、及び第4実施例である半導体装置について説明する。

【0415】まず、図63を用いて第4実施例である半導体装置10Jについて説明する。尚、図63において、図9を用いて説明した第1実施例に係る半導体装置10と同一構成については同一符号を附してその説明を省略するものとする。

【0416】本実施例に係る半導体装置10Jは、大略すると基板16（半導体素子）、樹脂層13、及び外部

60

接続電極140等により構成されている。基板16は半導体素子として機能するものであり、その表面には電子回路と共に外部端子と電気的に接続される外部接続電極140が形成されている。また、樹脂層13は基板16の表面を覆うように形成されており、よって外部接続電極140も樹脂層13に封止された構成となっている。

【0417】しかるに、本実施例に係る半導体装置10Jは、この外部接続電極140が基板16と樹脂層13との界面において外部接続電極140が側方に向け露出した構成とされていることを特徴としている。即ち、半導体装置10Jはパンプを有しておらず、パンプの代わりに半導体装置10Jの側部において露出した外部接続電極140により実装基板等と電気的に接続される構成とされている。

【0418】このように、本実施例に係る半導体装置10Jはパンプを形成することなく外部接続電極140を用いて半導体装置10Jを実装することが可能となるため、半導体装置10Jの構成及び製造工程の簡単化を図ることができる。また、外部接続電極140は半導体装置10Jの側部に露出した構成であるため、後に詳述するように半導体装置10Jを実装基板14に対し立設した状態で実装することが可能となる。

【0419】続いて、第28実施例である半導体装置の製造方法について説明する。第28実施例に係る製造方法は、図63に示した半導体装置10Jを製造する方法である。

【0420】本実施例に係る半導体装置の製造方法では、パンプ形成工程は実施せず、半導体素子形成工程を実施した後に直ちに樹脂封止工程が実施される。半導体素子形成工程においては、基板16の表面に所定の電子回路が形成されると共に、先に図40を用いて説明したように引出し配線96及び接続電極98等が形成される。そして、この半導体素子形成工程において、接続電極98の上部に外部接続電極140が形成される。

【0421】図59は、半導体素子形成工程が終了した状態の基板16を示している。同図に示されるように、本実施例では外部接続電極140の形成位置は、1個の半導体素子に相当する矩形領域（図中、実線で囲まれた領域）の一辺にまとめて配設されている。

【0422】上記の基板形成工程が終了すると、続いて樹脂封止工程が実施される。この樹脂封止工程において、基板16は金型に装着されて樹脂層13の圧縮成形が行なわれる。尚、樹脂封止工程は前記した第1実施例と同じ処理を行なうため、その説明は省略する。

【0423】樹脂封止工程が終了することにより、基板16の全面に樹脂層13が形成される。よって、基板形成工程において形成された引出し配線96及び接続電極98等も樹脂層13に封止された構成となる。このように樹脂封止工程が終了すると、本実施例ではパンプが形



(32)

61

成されていないため、突起電極露出工程を行なうことなく分離工程が実施される。

【0424】本実施例では、この分離工程において外部接続電極140が形成された位置で基板16を切断することを特徴とするものである。図59において、破線で示す位置が基板16の切断位置である。この切断位置で基板16を樹脂層13と共に切断することにより、外部接続電極140はその一部が切断され、よって外部接続電極140が基板16と樹脂層13との界面において外部接続電極140が側方に向け露出した構成の半導体装置10Jが製造される。

【0425】上記したように、本実施例に係る製造方法によれば、前記した各実施例で必要とされたパンプ形成工程及び突起電極露出工程が不要となり、また単に樹脂層13が形成された基板16を外部接続電極140が形成された位置で切断するのみでこの外部接続電極140を樹脂層13から外部に露出させることができ、容易に半導体装置10Jを製造することができる。

【0426】続いて、第29実施例である半導体装置の製造方法について図60乃至図62を用いて説明する。第29実施例に係る製造方法も、図63に示した半導体装置10Jを製造する方法である。尚、図60乃至図62において、図59で示した構成と同一構成については同一符号を付してその説明を省略する。

【0427】前記したように、図59を用いて説明した第28実施例に係る製造方法では、容易に半導体装置10Jを製造することができる。しかるに、第28実施例に係る製造方法では、分離工程において図59に破線で示す位置と、実線で示す位置との2箇所において切断処理を行なわなければならない、また図中矢印Wで示す部分は不要部分となっていた（この不要部分は捨てられていた）。よって、第28実施例に係る製造方法では、分離工程における切断効率が悪く、また基板16の有効利用という面においても不利であった。

【0428】これに対し、本実施例では先に説明した第28実施例に比べ分離工程の簡略化及び基板16の有効利用を図ったものである。以下、本実施例に係る製造方法について説明する。

【0429】図60は、本実施例において半導体素子形成工程が終了した状態の基板16を示している。図60

(A)は基板16の全体を示す図であり、また図60(B)は基板16に形成された複数の半導体素子の内、図60(A)に符号11a、11bで示す半導体素子を拡大して示している。

【0430】図60(B)に示されるように、本実施例においても外部接続電極140の形成位置は、矩形状とされた半導体素子11a、11bの一辺にまとめて配設されているが、本実施例では外部接続電極140が隣接する半導体素子11a、11b間で共有化されていることを特徴としている。

62

【0431】上記の基板形成工程が終了すると、続いて樹脂封止工程が実施され、図61に示されるように基板16の表面に樹脂層13が形成される。よって、基板形成工程において形成された引出し配線96及び接続電極98等も樹脂層13に封止された構成となる。

【0432】樹脂封止工程が終了すると、続いて分離工程が実施され、外部接続電極140が形成された位置で基板16を切断する。図61(B)において、破線で示す位置が基板16の切断位置である。

【0433】この切断位置で基板16を樹脂層13と共に切断することにより外部接続電極140はその略中央位置で切断され、図62に示されるように、外部接続電極140が基板16と樹脂層13との界面において外部接続電極140が側方に向け露出した構成の半導体装置10Jが製造される。

【0434】この際、前記したように本実施例においては、隣接する半導体素子11a、11b間で外部接続電極140が共有化されている。このため、1回の切断処理を行なうことにより隣接する2個の半導体素子11a、11bにおいて夫々外部接続電極140を外部に露出することができる。

【0435】よって、半導体装置10Jの製造効率を高めることができ、また本実施例の製造方法によれば図59に矢印Wで示した不要部分が発生することなく、基板16の効率的な利用を図ることができる。

【0436】続いて、第8乃至第11実施例である半導体装置の実装方法について説明する。尚、第8乃至第11実施例に係る半導体装置の実装方法は、図63に示した半導体装置10Jを実装基板14に実装する方法である。

【0437】図64は、第8実施例である半導体装置10Jの実装方法を示している。本実施例に係る実装方法は、単一の半導体装置10Jを実装基板14に実装するものである。

【0438】前記したように、半導体装置10Jはその側部に外部接続電極140が露出した構成である。このため、この外部接続電極140が露出した側面141を実装基板14と対向するよう実装することにより、半導体装置10Jを実装基板14に対し立設した状態で実装することが可能となる。

【0439】図64(A)に示す例では、はんだペースト等の接合材142を用いて外部接続電極140と実装基板14とを接合し、これにより半導体装置10Jを実装基板14に対し立設した状態で実装したものである。また、図64(B)に示す例では、外部接続電極140に予め外部接続用パンプ143を配設しておき、この外部接続用パンプ143を実装基板14に接合することにより、半導体装置10Jを実装基板14に対し立設した状態で実装したものである。

【0440】上記のように、半導体装置10Jを実装基

(33)

63

板14に対し立設状態で実装することにより、半導体装置10Jを寝せた状態で実装基板14に実装する構成に比べ半導体装置10Jの実装面積を小さくすることができ、よって半導体装置10Jの実装密度を向上させることができる。

【0441】図65及び図66は、第9及び第10実施例である半導体装置10Jの実装方法を示している。各実施例に係る実装方法は、複数（本実施例では4個）の半導体装置10Jを実装基板14に実装するものである。

【0442】図65に示される第9実施例では、半導体装置10Jを複数個立設させると共にこれを並列状態に実装し、かつ隣接する半導体装置10Jを接着剤144により接合することを特徴とするものである。この隣接する半導体装置10J間の接着は、本実施例においては実装基板14に接合する前に行なう構成としているが、半導体装置10Jを実装基板14に接合する際に合わせて半導体装置10J間の接着処理を行なう構成としてもよい。

【0443】また、半導体装置10Jと実装基板14との接合は、図64(B)と同様に、外部接続電極140に予め外部接続用パンプ143を配設しておき、この外部接続用パンプ143を実装基板14に接合することにより実装する方法を用いている。しかるに、半導体装置10Jと実装基板14の接合は、図64(A)に示した接合材142を用いる方法を採用してもよい。

【0444】一方、図66に示される第10実施例では、半導体装置10Jを複数個立設させると共にこれを並列状態に実装し、かつ隣接する半導体装置10Jを支持部材145を用いて立設状態に支持することを特徴とするものである。また、本実施例における半導体装置10Jと実装基板14との接合は、第9実施例に係る実装方法と同様に、外部接続用パンプ143を用いる方法を採用している。

【0445】支持部材145は放熱性の良好な金属により構成されており、隣接する半導体装置10Jを隔離する隔壁146が形成されている。各半導体装置10Jは一对の隔壁146間に接着剤を用いて接着され、これにより半導体装置10Jは支持部材145に固定される。

【0446】尚、半導体装置10Jを支持部材145に固定する手段は接着に限定されるものではなく、例えば接着剤を用いることなく一对の隔壁146が半導体装置10Jを挟持することにより固定する構成としてもよい。

【0447】上記した第9及び第10実施例に係る半導体装置10Jの実装方法によれば、複数の半導体装置10Jをユニット化して扱うことが可能となる。よって実装時において複数の半導体装置10Jを一括的にユニット単位で実装基板14に実装処理を行なうことが可能となり、これにより半導体装置10Jの実装効率を向上さ

64

せることができる。

【0448】図67は、第11実施例である半導体装置10Jの実装方法を示している。本実施例に係る実装方法では、複数（本実施例では4個）の半導体装置10Jをインターポーザ基板147を介して実装基板14に実装することを特徴とするものである。

【0449】本実施例では、先に図65を用いて説明した第9実施例に係る実装方法を適用した複数の半導体装置10Jをインターポーザ基板147に搭載した上で、このインターポーザ基板147を実装基板14に実装する方法を示している。本実施例で用いているインターポーザ基板147は多層配線基板であり、その上面に各半導体装置10Jが接続される上部電極148が形成されると共に、下面に形成された下部電極149は実装基板14と接合するための実装用パンプ136が配設されている。また、上部電極148と下部電極149は、インターポーザ基板147の内部に形成された内部配線150により接続されている。

【0450】本実施例に係る実装方法によれば、半導体装置10Jと実装基板14との間にインターポーザ基板147が介在する構成となるため、半導体装置10Jを実装基板14に実装する自由度を向上させることができる。

【0451】続いて、前記してきた各半導体装置10、10A～10Jと異なる他の半導体装置160の構成及びその製造方法について説明する。図68及び図69は半導体装置160の製造方法を説明するための図であり、また図70は半導体装置160の構成を示す図である。

【0452】図70に示されるように、半導体装置160は大略すると、複数の半導体素子161、インターポーザ基板162、外部接続用パンプ163、及び樹脂層164等により構成されている。

【0453】複数の半導体素子161は、電子部品165と共にインターポーザ基板162の上面に搭載されている。インターポーザ基板162の上面には上部電極166が形成されており、この上部電極166と半導体素子161とはワイヤ168を用いて接続されている。

【0454】また、インターポーザ基板162の下面には下部電極167が形成されており、この下部電極167には外部接続用パンプ163が接続されている。このインターポーザ基板162にはスルーホール169が形成されており、このスルーホール169により上部電極166と下部電極167は電気的に接続されている。これにより、半導体素子161と外部接続用パンプ163は電気的に接続された構成となる。更に、樹脂層164は上記した圧縮成形技術を用いて形成されており、インターポーザ基板162の上面を覆うように形成されている。

【0455】このように、半導体素子161をワイヤ1

(34)

65

68を用いて外部（インターポーザ基板162）に電氣的に接続する構成の半導体装置160においても、圧縮成形技術を用いて樹脂層164を形成することは可能である。

【0456】一方、上記構成とされた半導体装置160を製造するには、図68に示すように、先ずインターポーザ基板162の上面に半導体素子161を接着剤を用いて搭載する。この時必要があれば、付設する電子部品165も合わせて搭載する。続いて、インターポーザ基板162の上面に形成されている上部電極166と半導体素子161の上部に形成されているパッドとの間にワイヤボンディングを実施してワイヤ168を配設する。次に、インターポーザ基板162の下面に形成された下部電極167に、例えば転写法等を用いて外部接続用バンプ163を配設する。

【0457】上記のようにインターポーザ基板162に半導体素子161、外部接続用バンプ163、及びワイヤ168が配設されると、このインターポーザ基板162は樹脂封止用の金型に装着され、圧縮成形法を用いてインターポーザ基板162の表面に樹脂層164が形成される。図69は、表面に樹脂層164が形成されたインターポーザ基板162を示している。続いて、このインターポーザ基板162を図69に破線で示される所定切断位置で切断することにより、図70に示される半導体装置160が形成される。

【0458】また、図71乃至図75も前記してきた各半導体装置10、10A～10Jと異なる他の半導体装置170、170Aの構成及びその製造方法を説明するための図である。図71は半導体装置170の構成を説明するための図であり、図72及び図73は半導体装置170の製造方法を説明するための図である。また、図74は半導体装置170Aの構成を説明するための図であり、図75は半導体装置170Aの製造方法を説明するための図である。

【0459】半導体装置170は、大略すると半導体素子171、樹脂パッケージ172、及び金属膜173とからなる極めて簡単な構成とされている。半導体素子171は、その上面に複数の電極パッド174が形成されている。また、樹脂パッケージ172は、例えばエポキシ樹脂を前記した圧縮成形技術を用いて成形した構成とされている。この樹脂パッケージ172の実装面175には、樹脂突起177が一体的に形成されている。

【0460】また、金属膜173は、樹脂パッケージ172に形成された樹脂突起177を覆うように形成されている。この金属膜173と前記した電極パッド174との間にはワイヤ178が配設されており、このワイヤ178により金属膜173と半導体素子171は電氣的に接続した構成となっている。

【0461】上記構成とされた半導体装置170は、従来のSSOPのようなインナーリードやアウターリード

66

が不要となり、インナーリードからアウターリードへの引き回しのための面積や、アウターリード自身の面積が不要となり、半導体装置170の小型化を図ることができる。

【0462】また、従来のBGAのような半田ボールを形成するために搭載基板を用いる必要がなくなるため、半導体装置170のコスト低減を図ることができる。更に、樹脂突起177及び金属膜173は、協働してBGAタイプの半導体装置の半田バンプと同等の機能を奏するため、実装性を向上することができる。

【0463】次に、半導体装置170の製造方法について図72及び図73を用いて説明する。半導体装置170を製造するには、図72に示されるリードフレーム180を用意する。このリードフレーム180は、例えば銅（Cu）により形成されており、前記した樹脂突起177の形成位置に対応する位置に、樹脂突起177の形状に対応した凹部181が形成されている。更に、この凹部181の表面には、金属膜173が形成されている。

【0464】上記構成とされたリードフレーム180には、先ず半導体素子171が搭載される。半導体素子171がリードフレーム180に搭載される、続いてリードフレーム180はワイヤボンディング装置に装着され、半導体素子171に形成された電極パッド174と、リードフレーム180に形成されている金属膜173との間にワイヤ178が配設される。これにより、半導体素子171と金属膜173は電氣的に接続された構成となる。図72は、以上の説明した処理が終了した状態を示している。

【0465】上記したワイヤ178の配設処理が終了すると、続いてリードフレーム180上に半導体素子171を封止するよう樹脂パッケージ172を形成する。本実施例では、樹脂パッケージ172を圧縮成形により形成している。図73は、樹脂パッケージ172が形成されたリードフレーム180を示している。

【0466】上記した樹脂パッケージ172の形成処理が終了すると、図73に破線で示す位置で切断処理が行なわれると共に、樹脂パッケージ172をリードフレーム180から分離され半導体装置170を形成する分離工程が実施される。この分離工程は、リードフレーム180をエッチング液に浸漬させて溶解することにより行なわれる。この分離工程で用いられるエッチング液は、リードフレーム180のみを溶解し、金属膜173は溶解しない性質を有するエッチング液を選定している。

【0467】従って、リードフレーム180が完全に溶解されることにより、樹脂パッケージ172はリードフレーム180から分離される。この際、金属膜173は樹脂突起177に配設された状態となるため、図71に示す半導体装置170が形成される。このように、リードフレーム180を溶解することにより樹脂パッケージ172をリードフレーム180から分離する方法を用い

(35)

67

ることにより、リードフレーム180からの樹脂パッケージ172の分離処理を確実にかつ容易に行うことができ、歩留りを向上することができる。

【0468】一方、図74に示される半導体装置170Aは、一つの樹脂パッケージ172内に複数の半導体素子171を配設した構成としたものである。このように、一つの樹脂パッケージ172内に複数の半導体素子171を配設することにより、半導体装置170Aの多機能化を図ることができる。尚、この半導体装置170Aの製造方法は、図72及び図73を用いて説明した製造方法と略同一であり、図75(B)で示す切断箇所が異なる程度の差異である。このため、半導体装置170Aの製造方法に関する詳細説明は省略するものとする。

【0469】

【発明の効果】上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【0470】請求項1記載の発明によれば、アンダーフィルレジンとして機能する樹脂層は樹脂封止工程において形成されるため、半導体装置を実装する際にアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

【0471】また、樹脂層となる封止樹脂を突起電極の配設面の全面に確実に形成することができるため、樹脂層は全ての突起電極に対し保護機能を奏し、加熱時において突起電極が実装基板から剥離することを確実に防止でき、信頼性を向上させることができる。

【0472】また、請求項2記載の発明によれば、樹脂封止工程において金型から余剰樹脂が流出したり、逆に封止樹脂が少なく突起電極を確実に封止できなくなる不都合を防止することができる。

【0473】また、請求項3及び請求項38記載の発明によれば、突起電極と金型との間にフィルムを配設し、金型がフィルムを介して封止樹脂と接触するよう構成したことにより、樹脂層が金型に直接触れないため離型性を向上できると共に、離型剤なしの密着性の高い高信頼性樹脂の使用が可能となる。また、樹脂層がフィルムに接着することにより、フィルムをキャリアとして使用することが可能となり、半導体装置の製造自動化に寄与することができる。

【0474】また、請求項4及び請求項39記載の発明によれば、封止樹脂としてシート状樹脂を用いたことにより、確実に基板全体に樹脂層を形成することができる。また、中央から端部に向け樹脂が流れる時間を短縮できるため、樹脂封止工程の時間短縮を図ることができる。

【0475】また、請求項5記載の発明によれば、樹脂封止工程の実施前に予め封止樹脂をフィルムに配設しておくことにより、フィルムの装著作業と封止樹脂の装填作業を一括的に行なうことができるため、作業の効率化を図ることができる。

68

【0476】また、請求項6記載の発明によれば、封止樹脂を所定の間隔でフィルムに複数個配設しておきフィルムを移動させることにより連続的に樹脂封止工程を実施することにより、樹脂封止工程の自動化を図ることができる。また、半導体装置の製造効率を向上させることができる。

【0477】また、請求項7及び請求項40記載の発明によれば、金型に基板を装着する前にキャビティに補強板を装着しておくことにより、樹脂封止時に印加される熱や応力により基板が変形することを防止でき、製造される半導体装置の歩留りを向上させることができる。更に、補強板により基板の有する固有の反りを矯正させることも可能となる。

【0478】また、請求項8記載の発明によれば、補強板として放熱率の良好な材料を選定したことにより、補強板を放熱板としても機能させることができ、製造される半導体装置の放熱特性を向上させることができる。

【0479】また、請求項9記載の発明によれば、突起電極の先端部を露出させる手段として、レーザ光照射或いはエキシマレーザを用いた場合には、容易かつ精度よく突起電極の先端部を露出させることができる。また、エッチング、機械研磨或いはブラストを用いた場合には、安価に突起電極の先端部を露出させることができる。

【0480】また、請求項10記載の発明によれば、第1の半体に対し第2の半体を移動させることにより、基板を金型から離型する際に離型作用を持たせることができ、よって樹脂層が形成された基板を容易に金型から取り出すことができる。

【0481】また、請求項11記載の発明によれば、余剰樹脂除去機構は圧力制御機能を奏するため、ボイドの発生防止、封止樹脂の圧力の均一化を図ることができると共に、予め多めに封止樹脂を与えることにより精密な計量を不要とすることができる。

【0482】また、請求項12記載の発明によれば、第1の下型半体の基板が載置される部位に固定・離型機構を設けたことにより、固定・離型機構を固定動作させた時には樹脂封止処理における基板に反り等の変形が発生することを防止できると共に基板固有の反りを矯正することができ、更に固定・離型機構を離型動作させた時には基板の金型からの離型性を向上させることができる。

【0483】また、請求項13記載の発明によれば、第2の下型半体が第1の下型半体と接する部位に段差部を形成したことにより離型性を向上できると共に、段差部の形状を矩形状としたことにより段差部の形成を容易に行なうことができる。

【0484】また、請求項14記載の発明によれば、樹脂層に突起電極、半導体素子、実装基板、及び各電極の接合部における破壊を防止させる機能を持たせることが

(36)

69

でき、また樹脂層は実装処理前において既に半導体装置に形成されているため、半導体装置を実装する際に従来行なわれていたアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

【0485】また、請求項15及び請求項36記載の発明によれば、半導体素子に放熱部材を配設したことにより、半導体装置の放熱特性を向上させることができると共に、半導体素子の強度を向上させることができる。

【0486】また、請求項26記載の発明によれば、補強板を金型の一部として用いることが可能となり、封止樹脂が直接金型に触れる位置を少なく或いは全く無くすることができるため、従来必要とされた金型に付着した不要樹脂の除去作業が不要となり、樹脂封止工程における作業の簡単化を図ることができる。

【0487】また、請求項17及び請求項32記載の発明によれば、半導体素子の表面及び背面を共に封止樹脂で覆うことにより、半導体素子の表面及び背面の状態を均一化することができ、半導体装置のバランスを良好とすることができるため、熱印加時において半導体装置に反りが発生することを防止することができる。

【0488】また、請求項18及び請求項33記載の発明によれば、半導体装置の実装基板に実装する時の実装性を向上させることができる。

【0489】また、請求項19記載の発明によれば、外部接続用突起電極に外力が印加され応力が発生しても、この応力は外部接続用突起電極と突起電極との間に介在する接合材により応力緩和されるため、外部応力により半導体素子にダメージが発生することを防止でき、半導体装置の信頼性を向上させることができる。

【0490】また、請求項20記載の発明によれば、樹脂封止工程を実施する前に予め基板の分離工程で切断される位置に切断位置溝を形成し、かつ分離工程では封止樹脂が充填された切断位置溝の形成位置で基板を切断することにより、基板及び封止樹脂にクラックが発生することを防止することができる。

【0491】また、請求項21記載の発明によれば、外部接続電極は分離位置において基板と樹脂層との界面で外部に露出した状態となり、従ってこの側部に露出した外部接続電極により半導体装置を実装基板に電氣的に接続することが可能となる。また、単に樹脂層が形成された基板を外部接続電極が形成された位置で切断するのみで端子部を樹脂層から外部に露出させることができるため、極めて容易に半導体装置を製造することができる。

【0492】また、請求項22記載の発明によれば、1回の切断処理を行なうことにより隣接する2個の半導体装置において夫々外部接続電極を外部に露出させることができるため、半導体装置の製造を効率よく行なうことができる。また、基板に不要部分が発生することを抑制できるため、基板の効率的な利用を図ることができる。ま

70

た、請求項23記載の発明によれば、位置決め溝を基準として半導体装置の各種位置決めを行なうことが可能となり、また分離工程を実施する前に位置決め溝を形成することにより、複数の半導体装置に対して一括的に位置決め溝を形成することができ、位置決め溝の形成効率を向上させることができる。

【0493】また、請求項24記載の発明によれば、位置決め溝は樹脂層または基板の背面にハーフスクライプを行なうことにより形成されることにより、分離工程で一般的に使用するスクライピング技術を用いて位置決め溝を形成できるため、容易かつ精度よく位置決め溝を形成することができる。

【0494】また、請求項25記載の発明によれば、樹脂封止工程において樹脂層に凸部または凹部が形成され、この凹凸を半導体装置の位置決め部として用いることができる。

【0495】また、請求項26記載の発明によれば、位置決め用突起電極と他の突起電極とを識別化したことにより、この位置決め用突起電極を基準として半導体装置の各種位置決めを行なうことが可能となる。

【0496】また、請求項27記載の発明によれば、突起電極を形成することなく外部接続電極を用いて半導体装置を実装することが可能となり、よって半導体装置の構成を簡単化することができ、コスト低減を図ることができる。また、外部接続電極は半導体装置の側部に露出した構成であるため、半導体装置を実装基板に対し立設した状態で実装することが可能となり、半導体装置の実装密度を向上させることができる。

【0497】また、請求項28記載の発明によれば、半導体装置を実装基板に対し立設状態で実装することにより、半導体装置の実装密度を向上させることができる。

【0498】また、請求項29及び請求項30記載の発明によれば、複数の半導体装置をユニット化して扱うことが可能となり、よって実装時においてもユニット単位で実装基板に実装処理を行なうことができ、実装効率の向上を図ることができる。

【0499】また、請求項31記載の発明によれば、半導体装置と実装基板との間にインターポーザ基板が介在する構成となるため、半導体装置を実装基板に実装する自由度を向上させることができる。

【0500】また、請求項34、請求項35、請求項37、請求項41、及び請求項42記載の発明によれば、ゲートブレイク跡がないため、外観の見栄えを向上させることができると共に、ゲートブレイクにより樹脂層に欠け不良が発生することを防止することができる。

【0501】また、請求項43記載の発明によれば、樹脂封止工程終了後における離型性を向上させることができる。

【0502】また、請求項45及び請求項46記載の発明によれば、半導体素子に形成された複数の電極パッド

(37)

71

と半導体基板上に形成された複数の突起電極とを離間配置することができるため、突起電極の配設位置に自由度を持たせることができる。

【図面の簡単な説明】

【図1】第1実施例である半導体装置の製造方法の樹脂封止工程、及び本発明の第1実施例である半導体装置製造用金型を説明するための図である。

【図2】第1実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

【図3】第1実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

【図4】第1実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

【図5】第1実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

【図6】第1実施例である半導体装置の製造方法の突起電極露出工程を説明するための図であり、(A)は樹脂封止工程終了直後の基板を示し、(B)は(A)の矢印Aで示す部分を拡大して示す図である。

【図7】第1実施例である半導体装置の製造方法の突起電極露出工程を説明するための図であり、(A)はフィルムを剥離している状態の基板を示し、(B)は(A)の矢印Bで示す部分を拡大して示す図である。

【図8】第1実施例である半導体装置の製造方法の内、分離工程を説明するための図である。

【図9】第1実施例である半導体装置を説明するための図である。

【図10】第2実施例である半導体装置の製造方法、及び本発明の第2実施例である半導体装置製造用金型を説明するための図である。

【図11】第3実施例である半導体装置の製造方法を説明するための図である。

【図12】第4実施例である半導体装置の製造方法を説明するための図である。

【図13】第5実施例である半導体装置の製造方法を説明するための図である。

【図14】第5実施例である半導体装置の製造方法を説明するための図である。

【図15】封止樹脂としてシート状樹脂を用いた例を示す図である。

【図16】封止樹脂の供給手段としてポッティングを用いた例を示す図である。

【図17】封止樹脂をフィルム側に配設した例を示す図である。

【図18】第6実施例である半導体装置の製造方法を説明するための図である。

【図19】第7実施例である半導体装置の製造方法を説明するための図であり、(A)は樹脂封止工程終了直後の基板を示し、(B)は(A)の矢印Cで示す部分を拡大して示す図である。

72

【図20】第7実施例である半導体装置の製造方法を説明するための図であり、(A)はフィルムを剥離している状態の基板を示し、(B)は(A)の矢印Dで示す部分を拡大して示す図である。

【図21】第7実施例である半導体装置の製造方法を説明するための図である。

【図22】第3実施例である半導体装置製造用金型を説明するための図である。

【図23】第4実施例である半導体装置製造用金型を説明するための図である。

【図24】第5実施例である半導体装置製造用金型を説明するための図である。

【図25】第6実施例である半導体装置製造用金型を説明するための図である。

【図26】第2実施例である半導体装置を説明するための図である。

【図27】第3実施例である半導体装置を説明するための図である。

【図28】第8実施例である半導体装置の製造方法を説明するための図である。

【図29】第9実施例である半導体装置の製造方法を説明するための図である。

【図30】第10実施例である半導体装置の製造方法を説明するための図である。

【図31】第11実施例である半導体装置の製造方法を説明するための図である。

【図32】第12実施例である半導体装置の製造方法を説明するための図(その1)である。

【図33】第12実施例である半導体装置の製造方法を説明するための図(その2)である。

【図34】第13実施例である半導体装置の製造方法を説明するための図である。

【図35】第14実施例である半導体装置の製造方法を説明するための図である。

【図36】第15実施例である半導体装置の製造方法を説明するための図である。

【図37】第16実施例である半導体装置の製造方法を説明するための図である。

【図38】第17実施例である半導体装置の製造方法を説明するための図である。

【図39】第18実施例である半導体装置の製造方法を説明するための図である。

【図40】図39で用いる基板を拡大して示す図である。

【図41】第19実施例である半導体装置の製造方法を説明するための図である。

【図42】第20実施例である半導体装置の製造方法を説明するための図である。

【図43】第21実施例である半導体装置の製造方法を説明するための図である。

(38)

73

【図44】第22実施例である半導体装置の製造方法を説明するための図である。

【図45】第23実施例である半導体装置の製造方法を説明するための図である。

【図46】位置決め溝が形成された半導体装置を示す斜視図である。

【図47】第24実施例である半導体装置の製造方法を説明するための図である。

【図48】第25実施例である半導体装置の製造方法を説明するための図である。

【図49】第26実施例である半導体装置の製造方法を説明するための図である。

【図50】第27実施例である半導体装置の製造方法を説明するための図である。

【図51】通常のバンプ構造を説明するための図である。

【図52】第1実施例である半導体装置の実装方法を説明するための図である。

【図53】第2実施例である半導体装置の実装方法を説明するための図である。

【図54】第3実施例である半導体装置の実装方法を説明するための図である。

【図55】第4実施例である半導体装置の実装方法を説明するための図である。

【図56】第5実施例である半導体装置の実装方法を説明するための図である。

【図57】第6実施例である半導体装置の実装方法を説明するための図である。

【図58】第7実施例である半導体装置の実装方法を説明するための図である。

【図59】第28実施例である半導体装置の製造方法を説明するための図である。

【図60】第29実施例である半導体装置の製造方法を説明するための図（その1）である。

【図61】第29実施例である半導体装置の製造方法を説明するための図（その2）である。

【図62】第29実施例である半導体装置の製造方法を説明するための図（その3）である。

【図63】第4実施例である半導体装置を説明するための図である。

【図64】第8実施例である半導体装置の実装方法を説明するための図である。

【図65】第9実施例である半導体装置の実装方法を説明するための図である。

【図66】第10実施例である半導体装置の実装方法を説明するための図である。

【図67】第11実施例である半導体装置の実装方法を説明するための図である。

【図68】他の半導体装置の製造方法を説明するための図（その1）である。

74

【図69】他の半導体装置の製造方法を説明するための図（その2）である。

【図70】他の半導体装置の製造方法を説明するための図（その3）である。

【図71】他の半導体装置の構成を説明するための図である。

【図72】他の半導体装置の製造方法を説明するための図（その1）である。

【図73】他の半導体装置の製造方法を説明するための図（その2）である。

【図74】他の半導体装置の製造方法を説明するための図（その3）である。

【図75】他の半導体装置の製造方法を説明するための図（その4）である。

【図76】第6実施例に係る半導体装置用金型の変形例を示す図である。

【図77】第6実施例に係る半導体装置用金型の変形例を示す図である。

【図78】従来の半導体装置及びその製造方法の一例を説明するための図である。

【符号の説明】

10, 10A~10J, 160, 170, 170A 半導体装置

11, 112, 161, 171 半導体素子

12, 12A バンプ

12B 位置決め用バンプ

13, 13A, 13B, 163 樹脂層

14 実装基板

15 接続電極

30 16 基板

16a 基板切断部

17 第2の樹脂層

18 ストレートバンプ

19, 31 凸部

20, 20A~20G 金型

21, 21F 上型

22, 22A, 22F 下型

23, 23C, 23D, 23F 第1の下型半体

40 24, 24A, 24D, 24E, 24F 第2の下型半体

27 傾斜部

28 キャビティ

29 ダイサー

30, 30A~30C フィルム

32, 55 凹部

35, 35A 封止樹脂

36 第2の封止樹脂

40 余剰樹脂除去機構

41 開口部

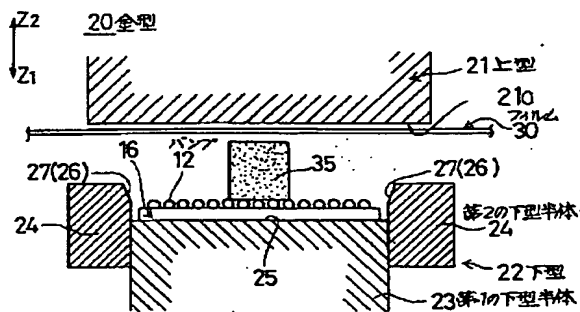
50 42 ポット部

(39)

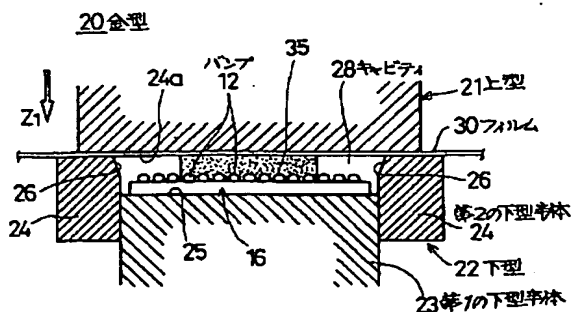
75

- 43 圧力制御ロッド
- 50, 50A 補強板
- 51 シート状樹脂
- 52 液状樹脂
- 54 枠部
- 60 レーザ照射装置
- 70 固定・離型機構
- 71 多孔質部材
- 72 吸排気装置
- 74 段差部
- 75 付着処理膜
- 80 ステージ部材
- 81 ダム部
- 90, 143, 163 外部接続用パンプ
- 91 応力緩和接合材
- 92 ポール電極
- 96 引出し配線
- 97 電極パッド
- 98 接続電極
- 99 コア部
- 100 導電膜
- 102 絶縁膜
- 105 切断位置溝
- 106 切断位置樹脂層
- 110a, 110b 応力緩和溝

【図1】



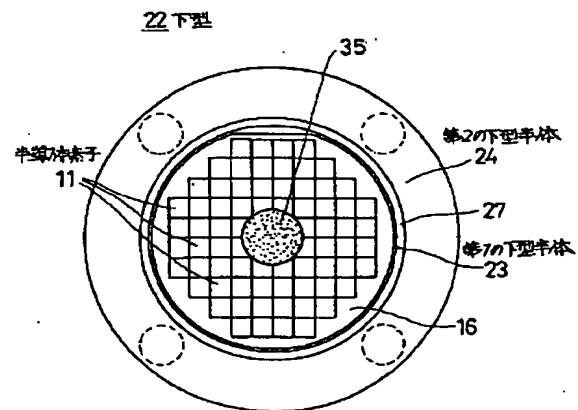
【図3】



76

- 111a, 111b 応力緩和樹脂層
- 113 フィルム部材
- 114 間隙部
- 115 放熱板
- 120~122 位置決め溝
- 123 位置決め突起
- 125, 142 接合材
- 126 アンダーフィルレジン
- 127, 128 放熱フィン
- 129 基板接合用パンプ
- 130~132, 147, 162 インターポーザ基板
- 136, 137 実装用パンプ
- 138 カードエッジコネクタ
- 140 外部接続電極
- 144 接着剤
- 145 支持部材
- 148, 166 上部電極
- 149, 167 下部電極
- 150 内部配線
- 168, 178 ワイヤ
- 169 スルーホール
- 172 樹脂パッケージ
- 173 金属膜
- 177 突起電極
- 180 リードフレーム

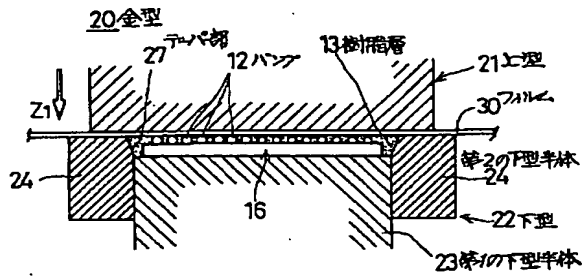
【図2】



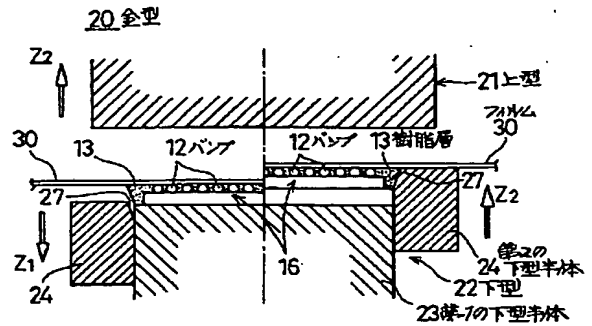


(40)

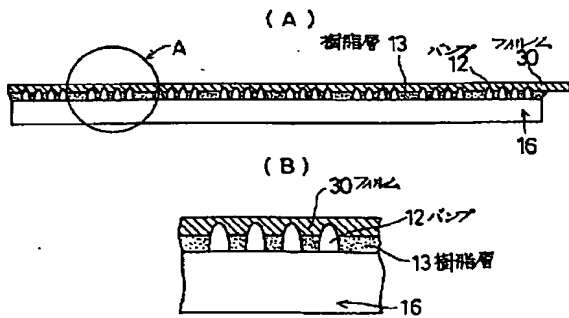
【図4】



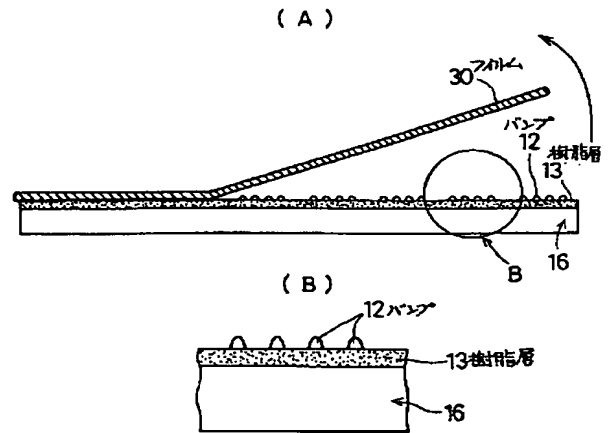
【図5】



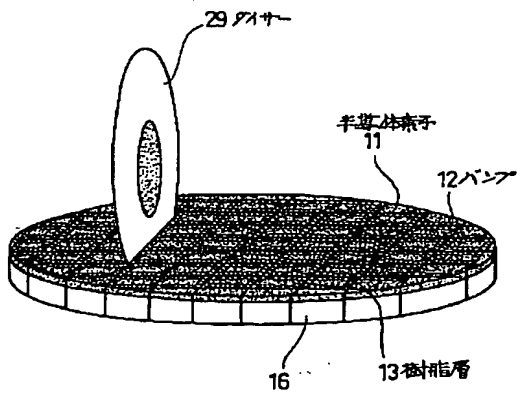
【図6】



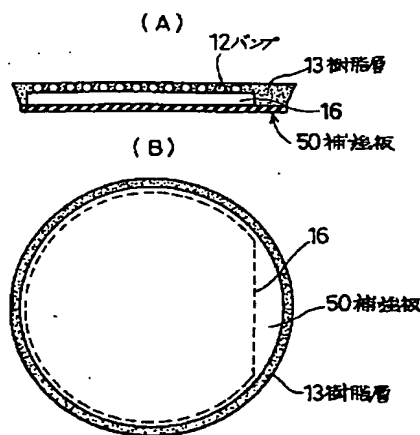
【図7】



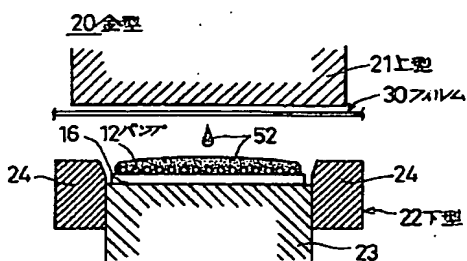
【図8】



【図14】

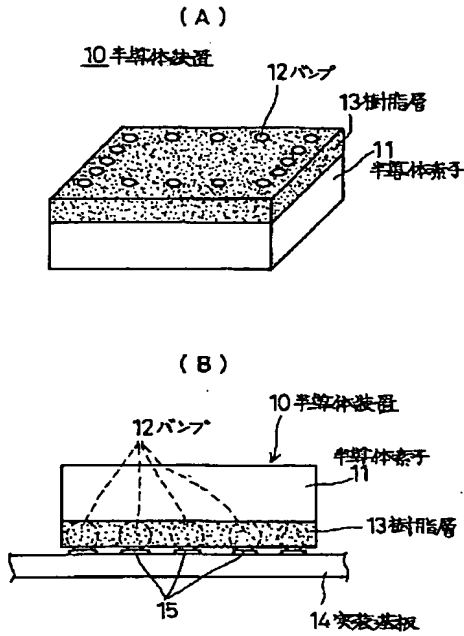


【図16】

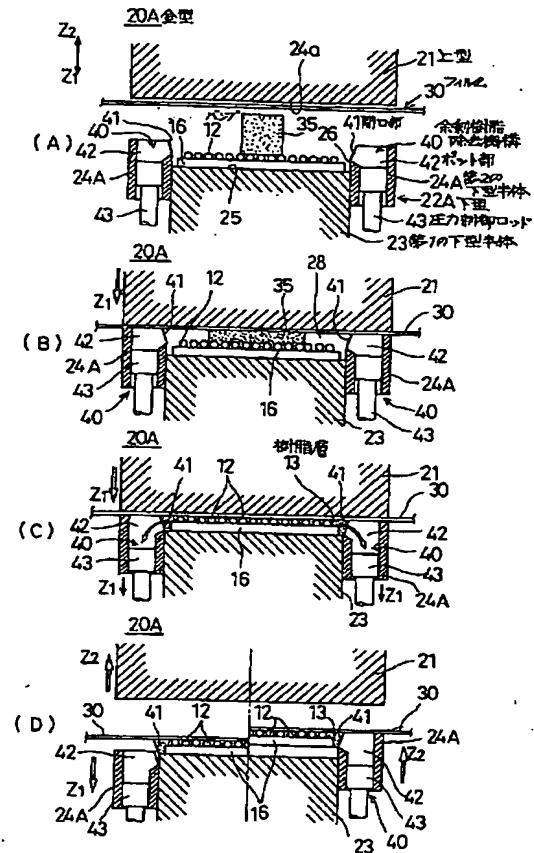


(41)

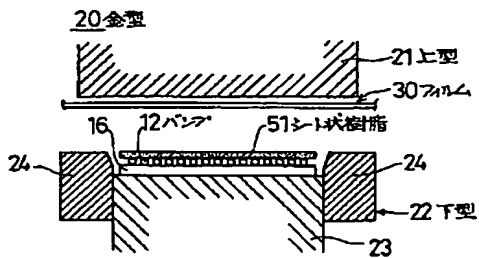
【図 9】



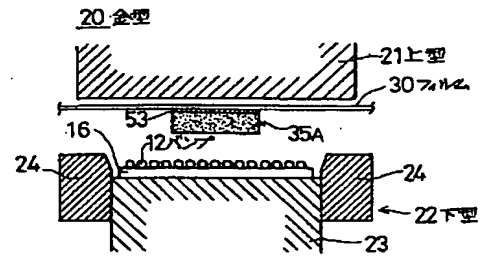
【図 10】



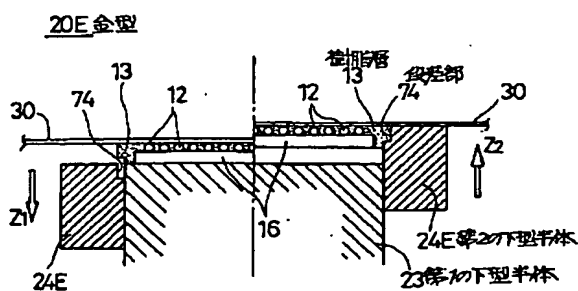
【図 15】



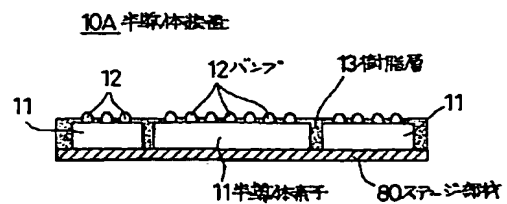
【図 17】



【図 24】

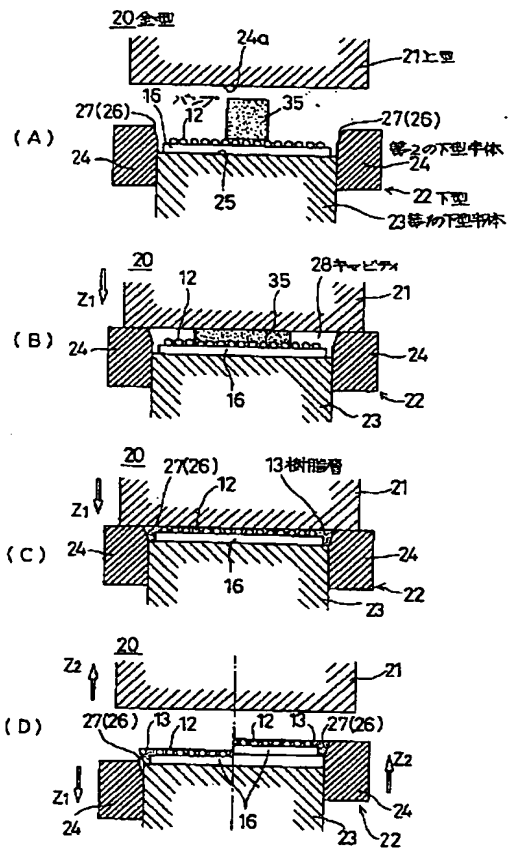


【図 26】

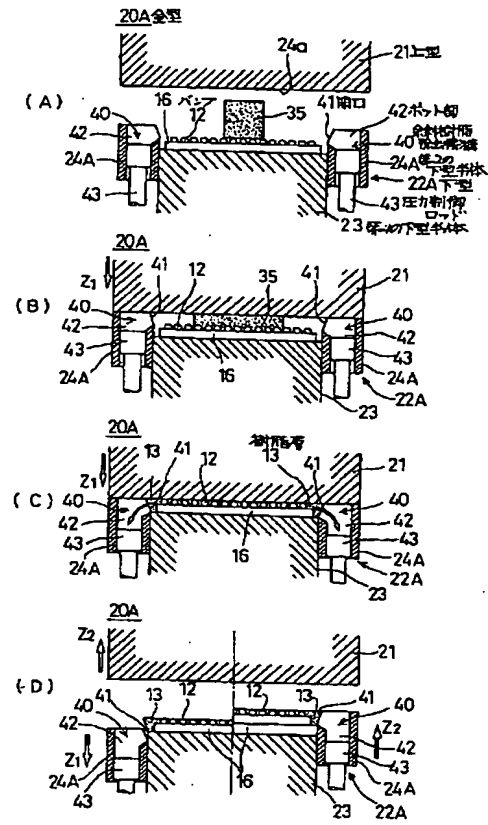


(42)

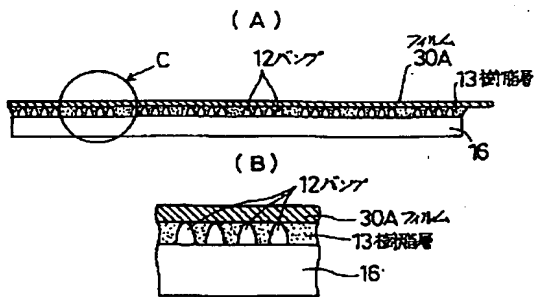
【図11】



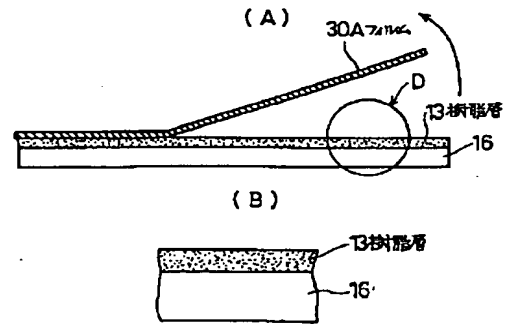
【図12】



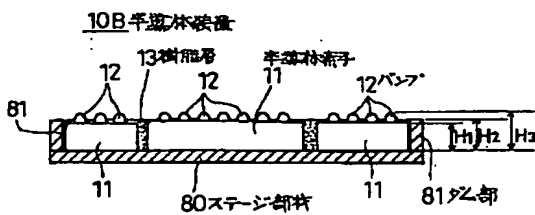
【図19】



【図20】

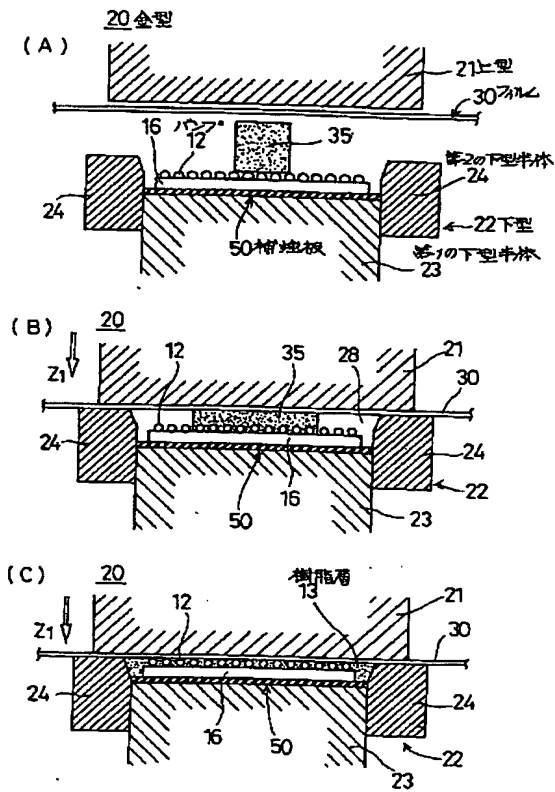


【図27】

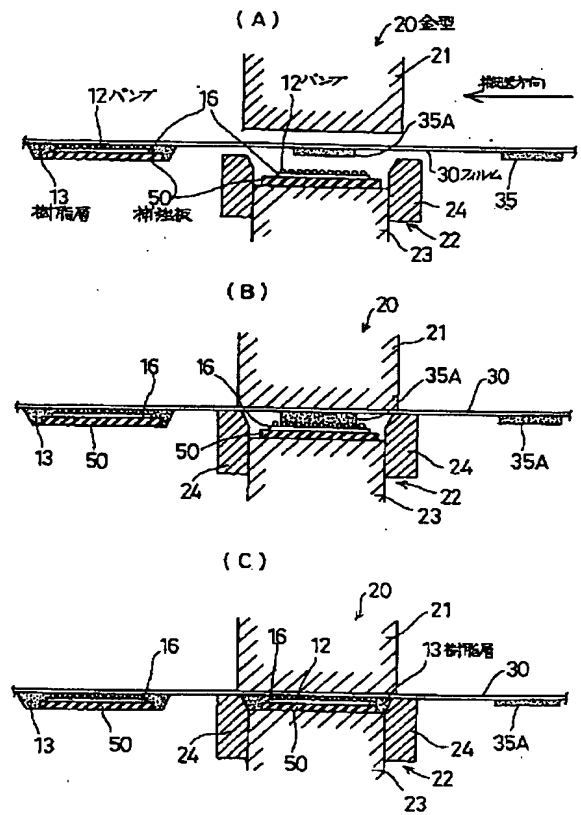


(43)

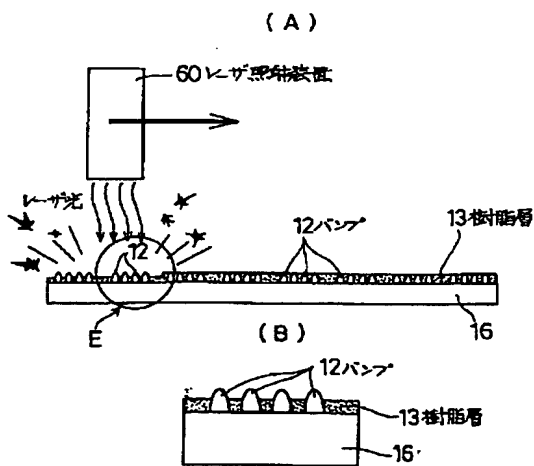
【図13】



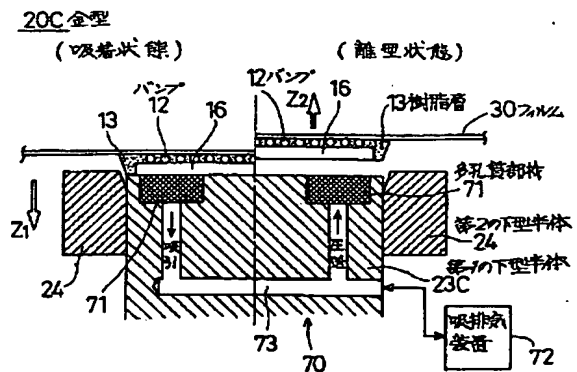
【図18】



【図21】

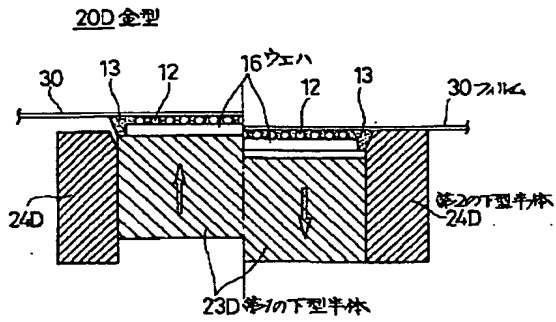


【図22】

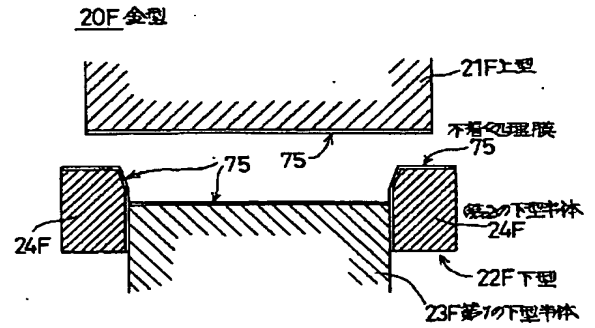


(44)

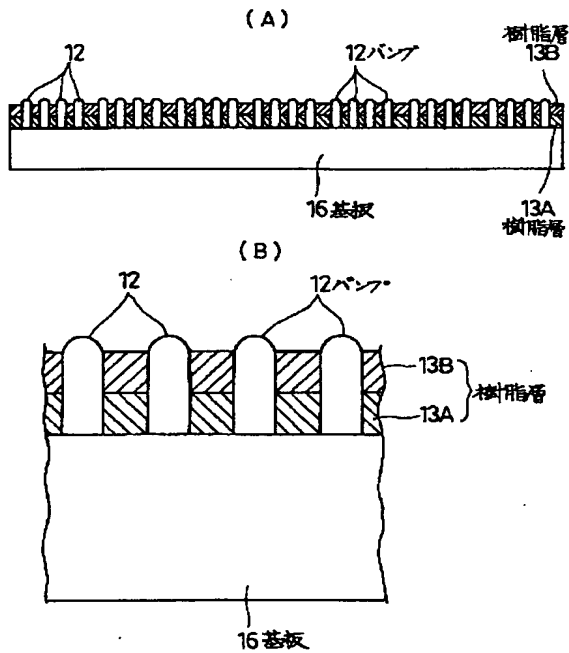
【図23】



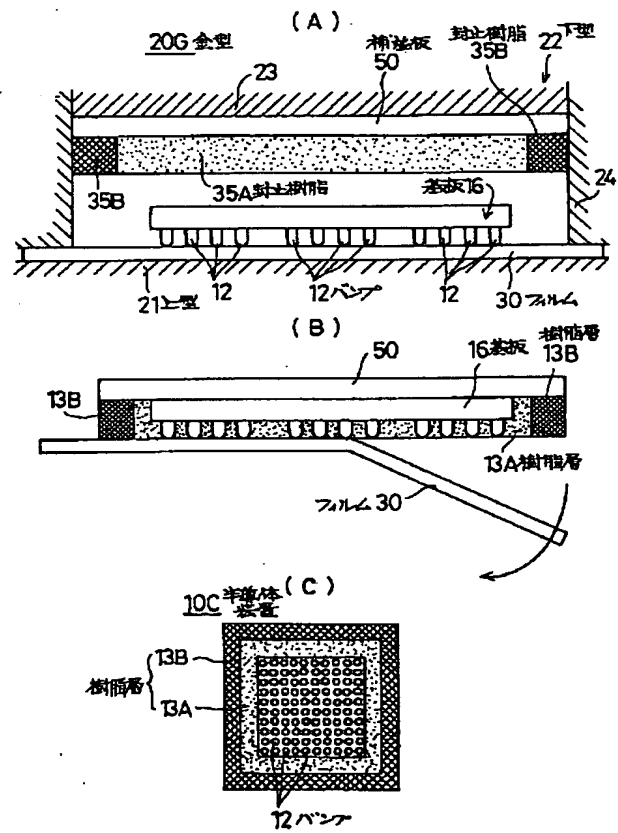
【図25】



【図28】

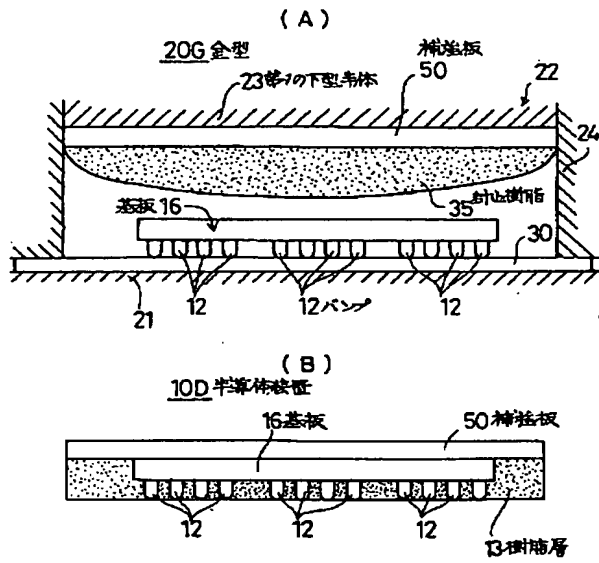


【図29】

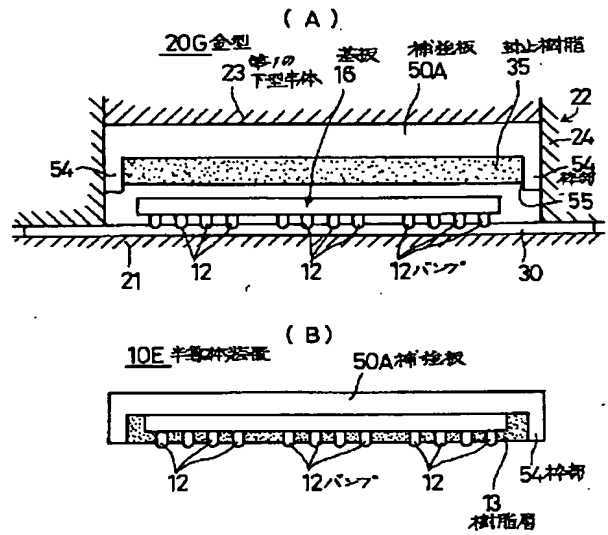


(45)

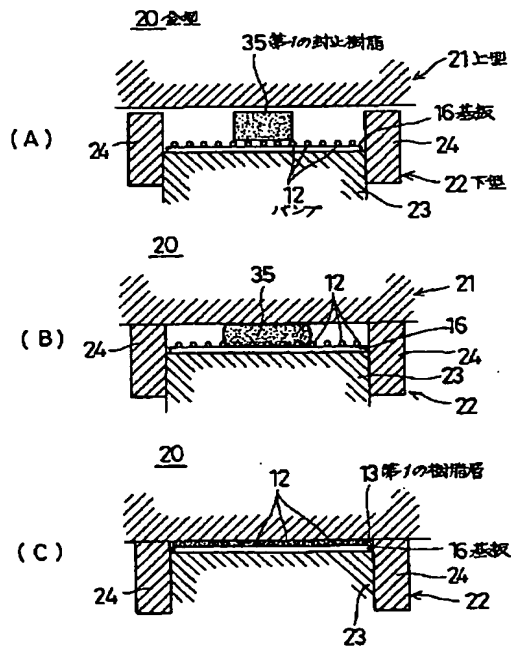
【図30】



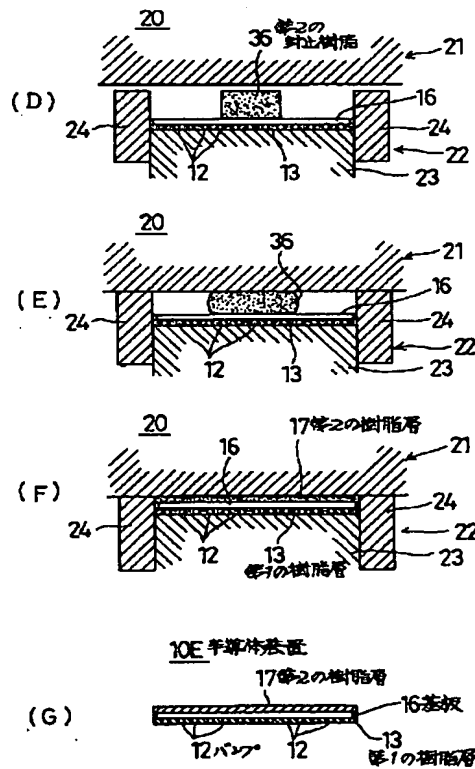
【図31】



【図32】

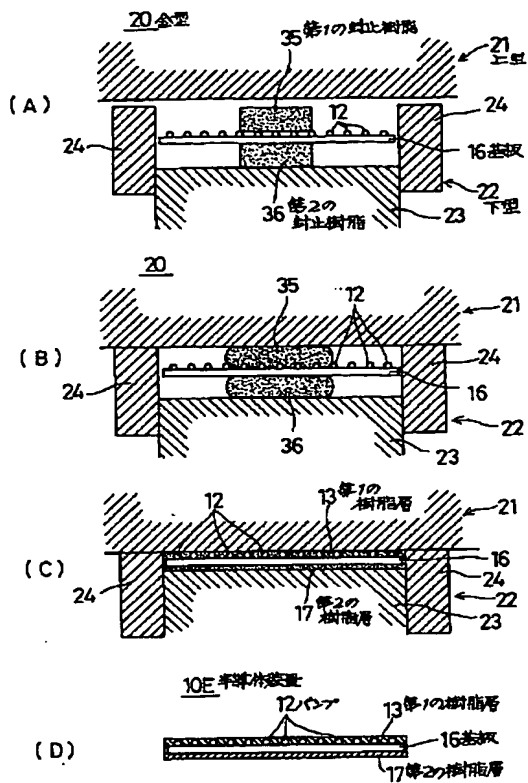


【図33】

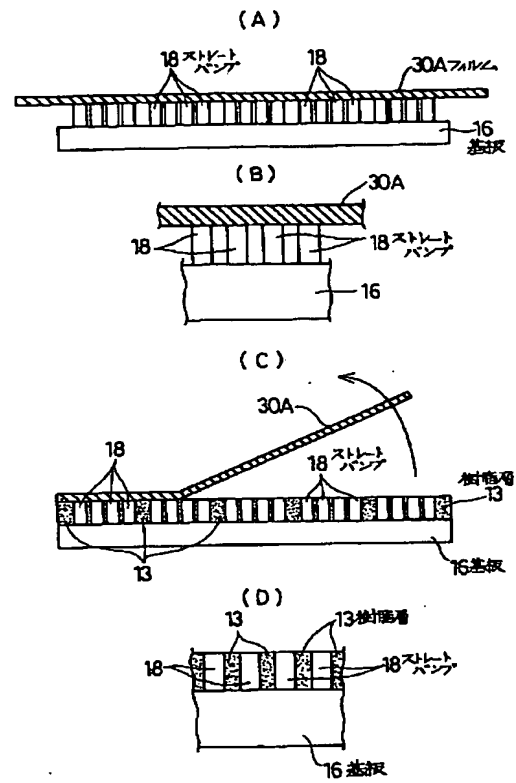


(46)

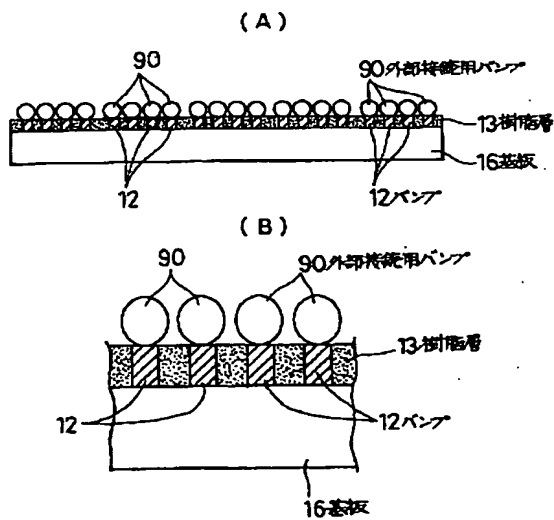
【図34】



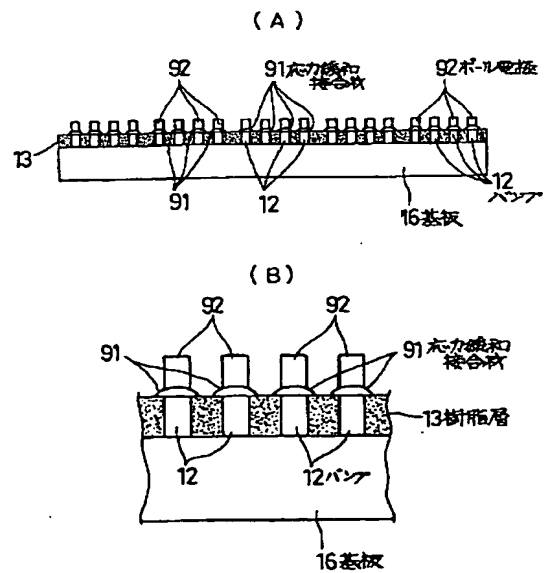
【図35】



【図36】

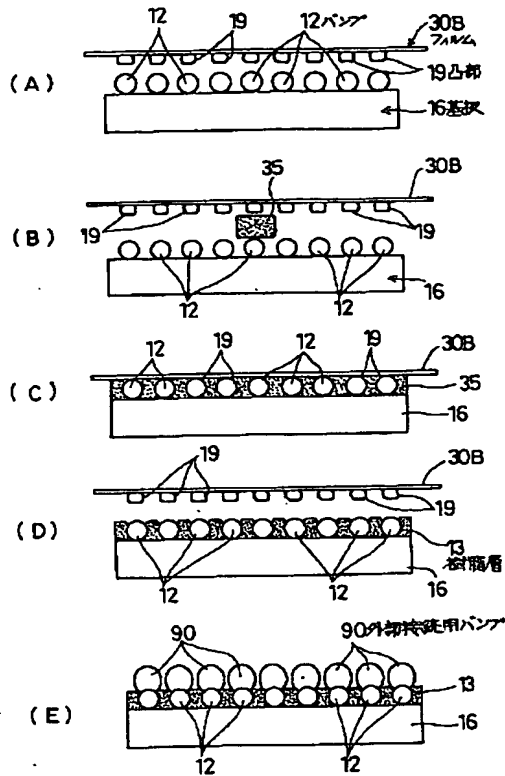


【図37】

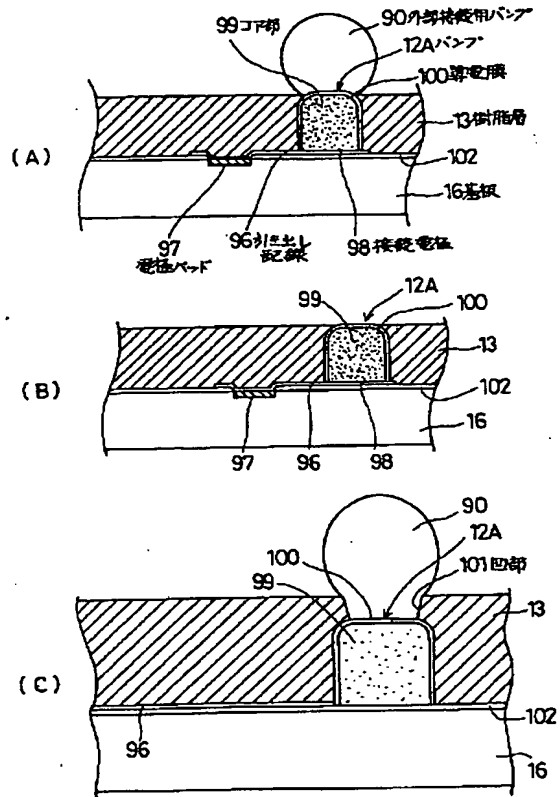


(47)

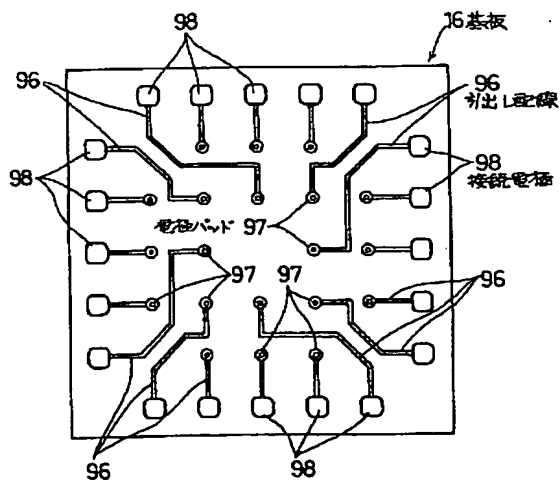
【図38】



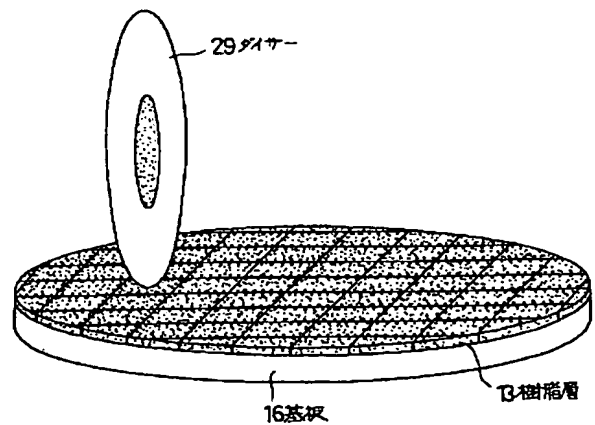
【図39】



【図40】



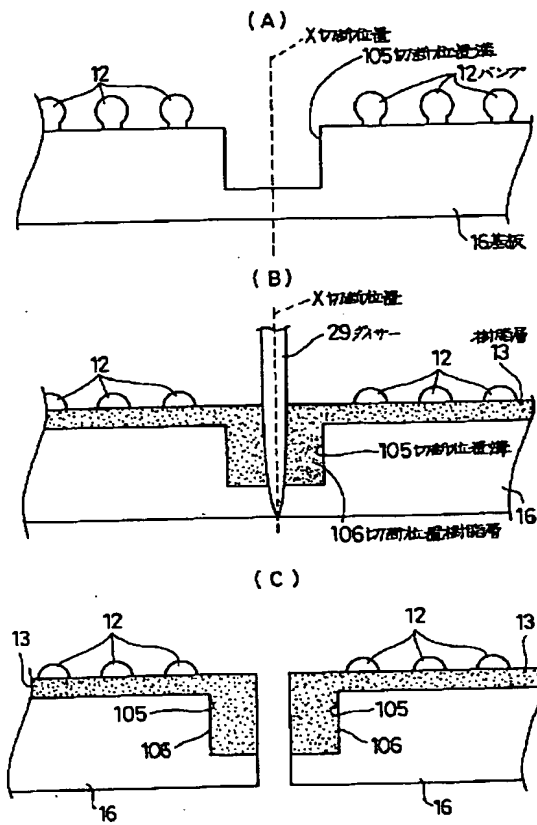
【図45】



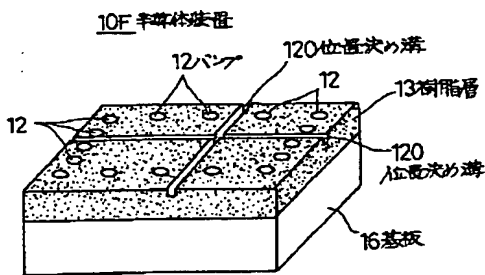


(48)

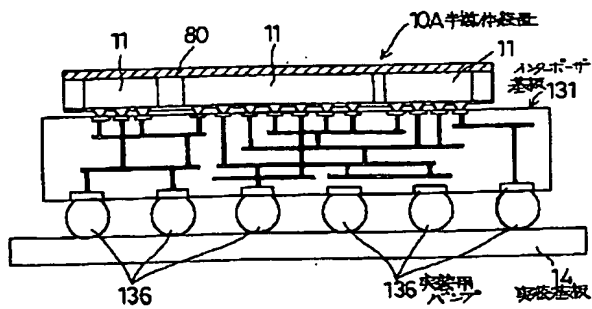
【図41】



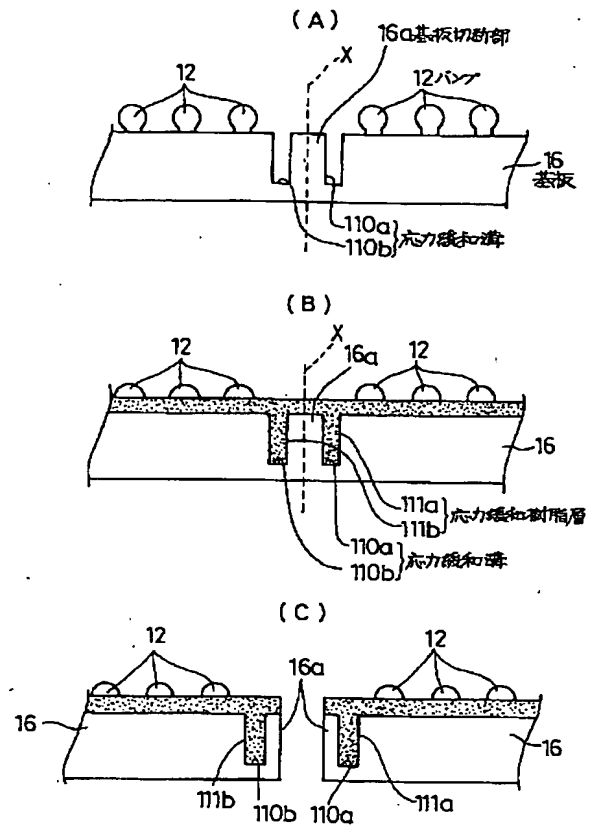
【図46】



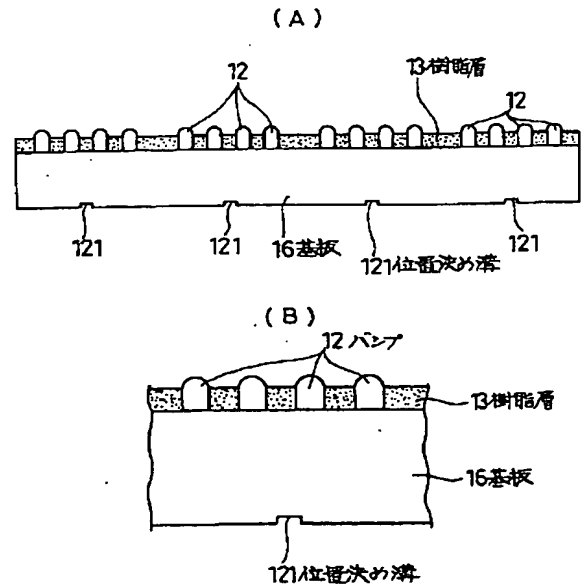
【図56】



【図42】

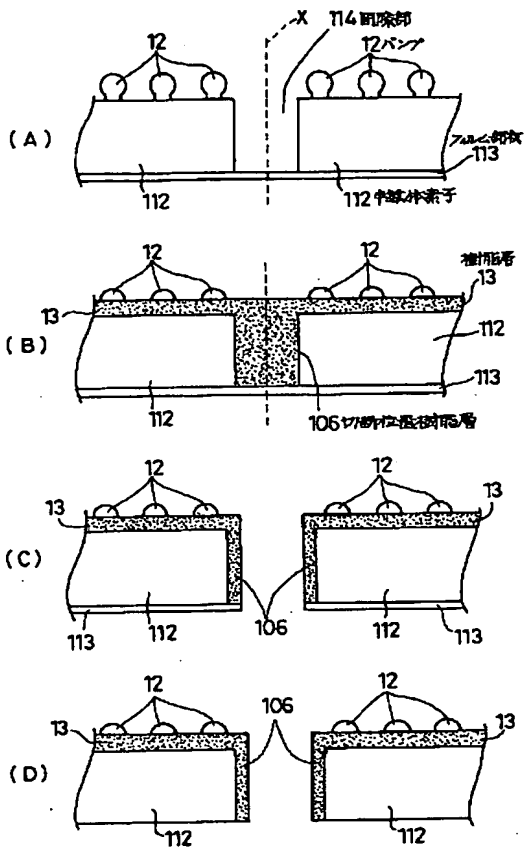


【図47】

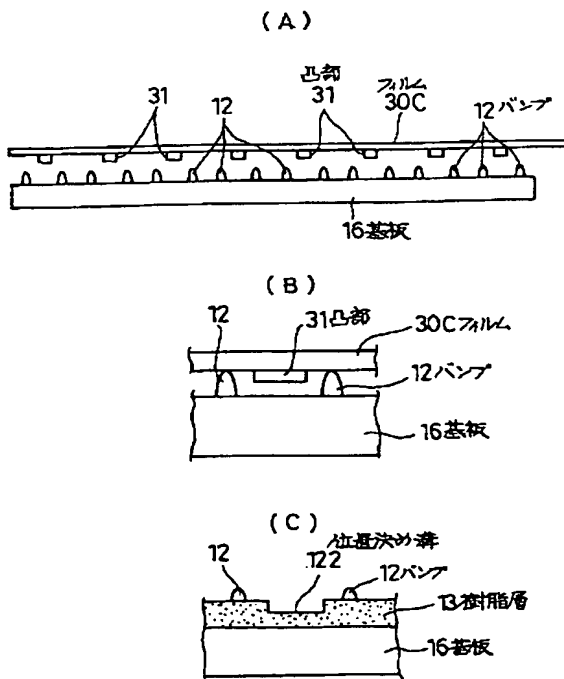


(49)

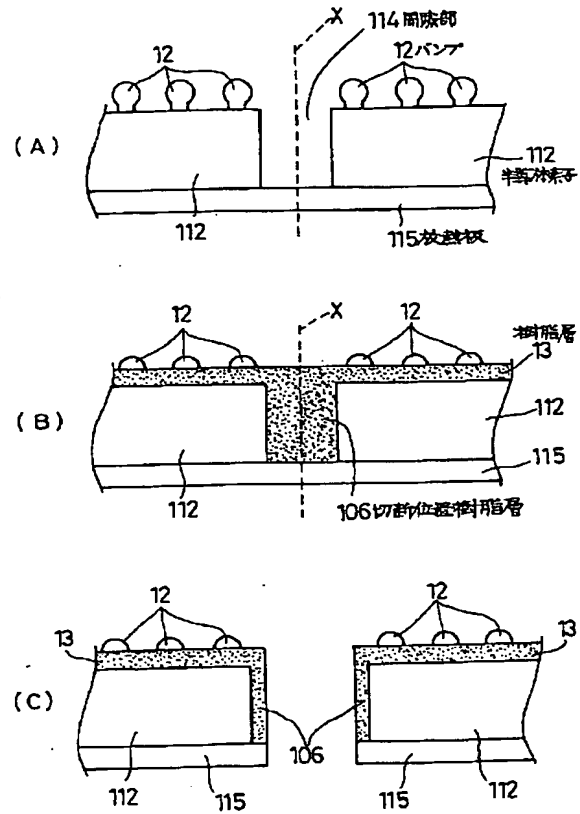
【図43】



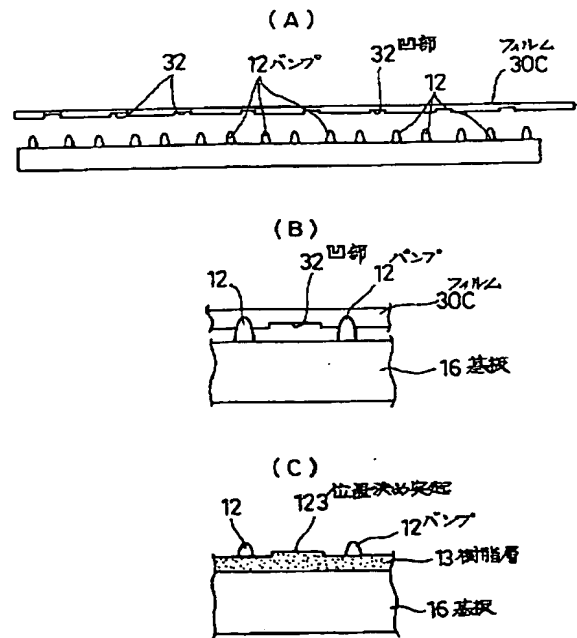
【図48】



【図44】

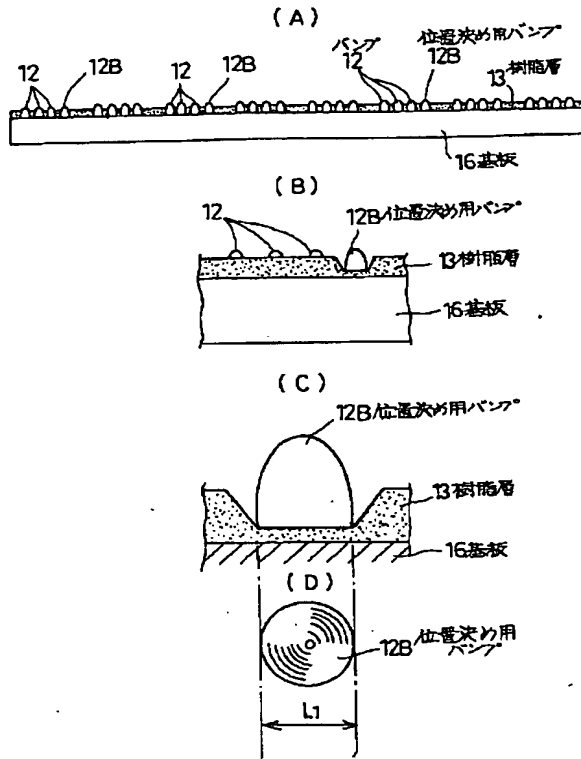


【図49】

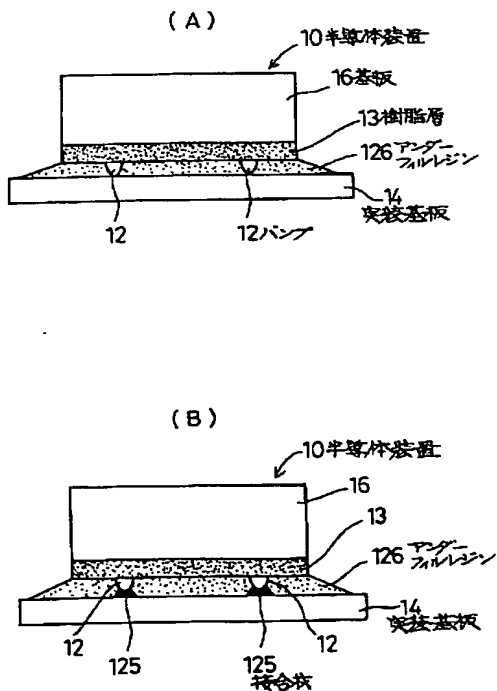


(50)

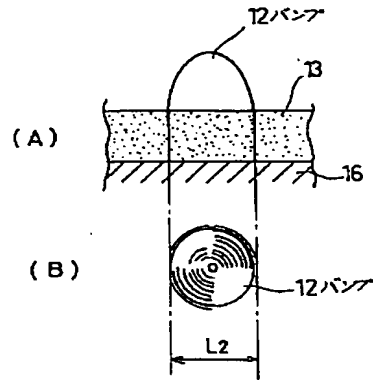
【図50】



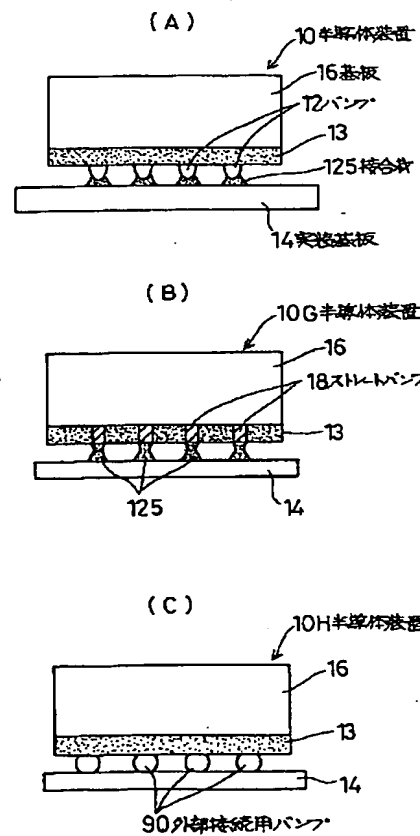
【図53】



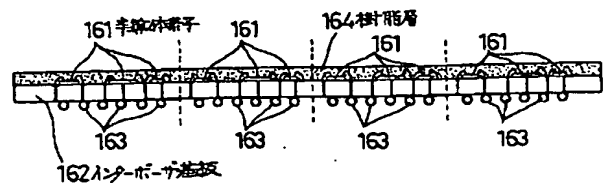
【図51】



【図52】

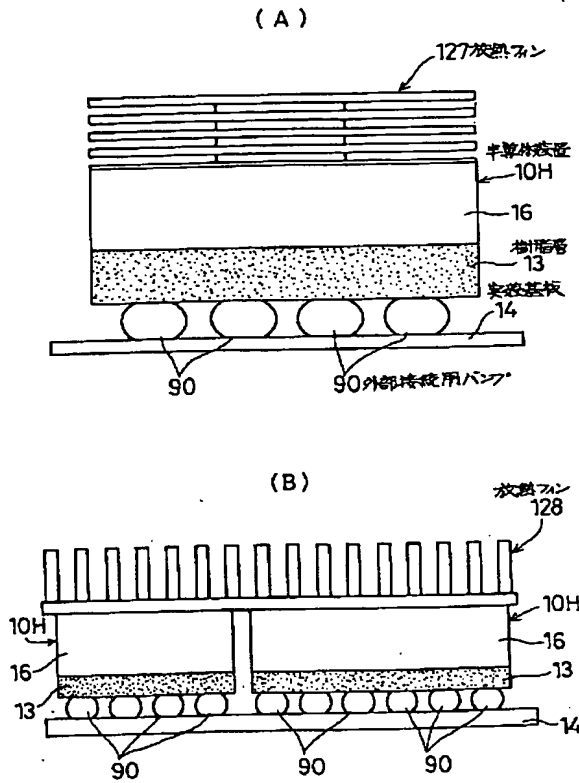


【図69】

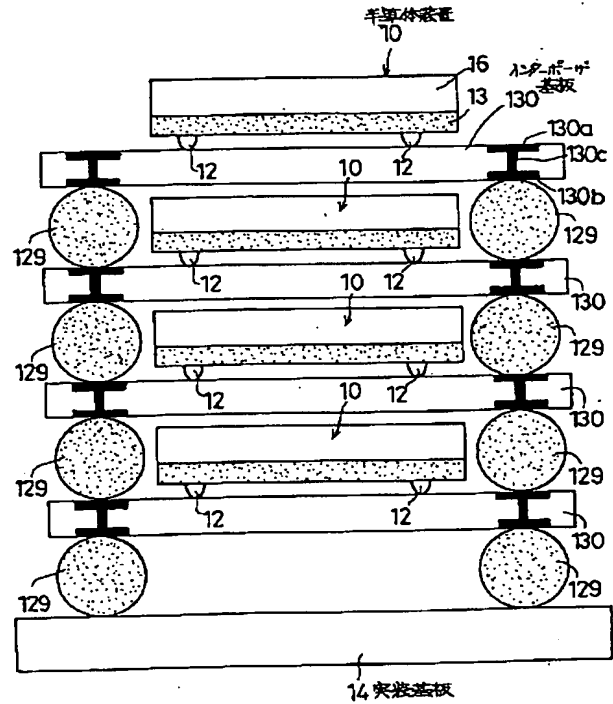


(51)

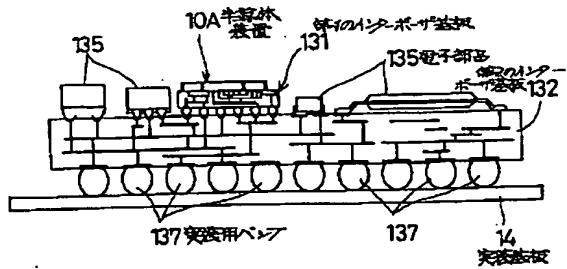
【図54】



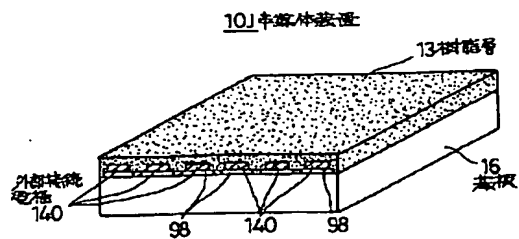
【図55】



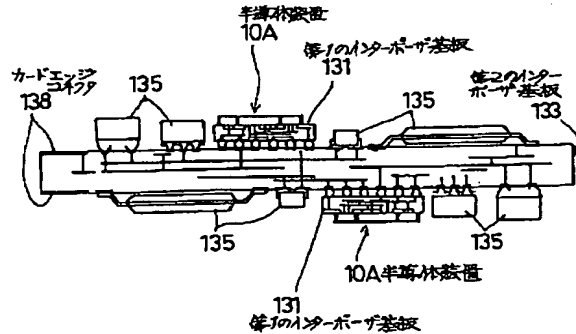
【図57】



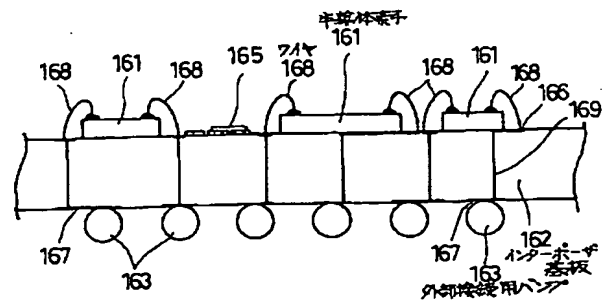
【図63】



【図58】

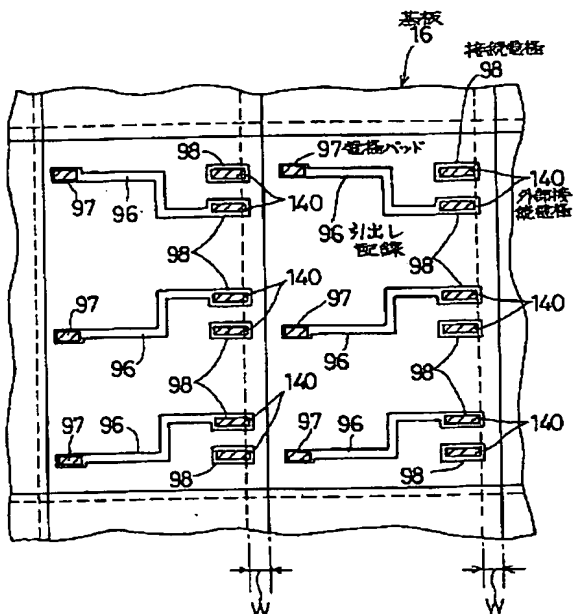


【図68】

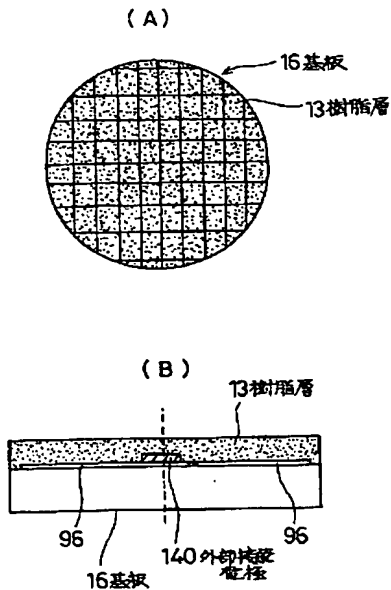


(52)

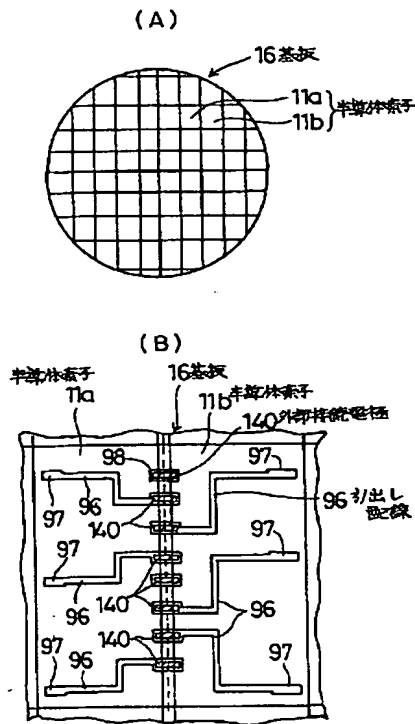
【図59】



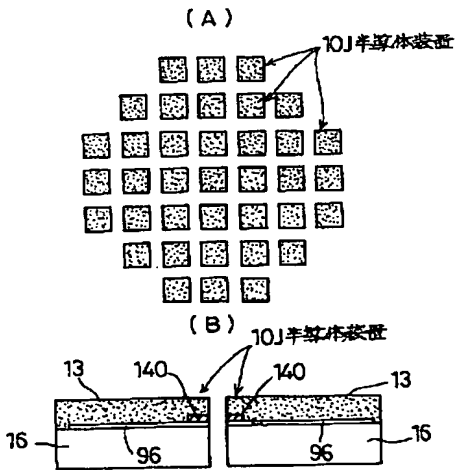
【図61】



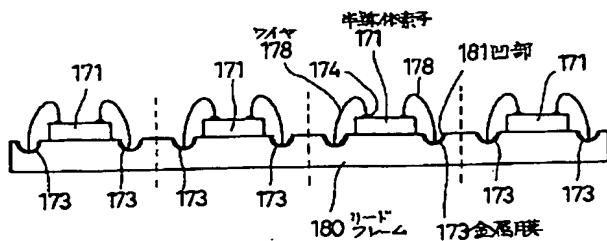
【図60】



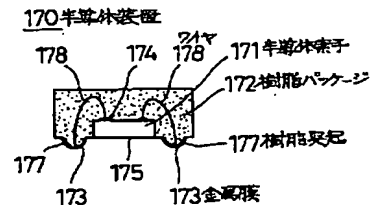
【図62】



【図72】

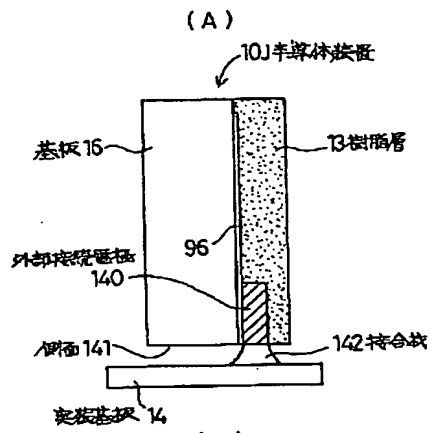


【図71】

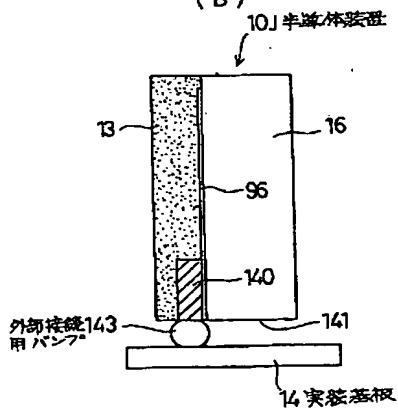


(53)

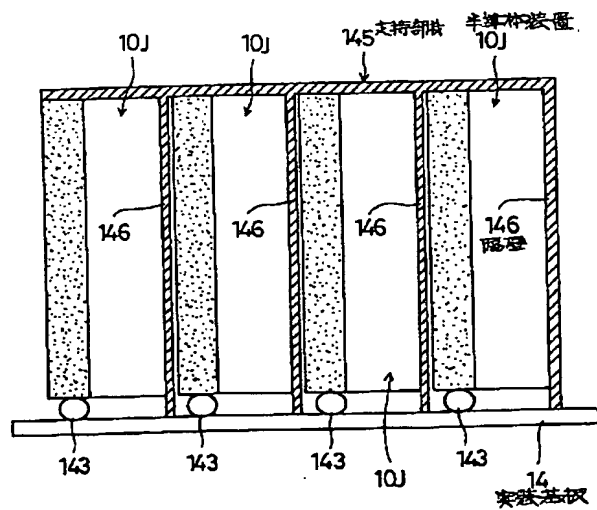
【図64】



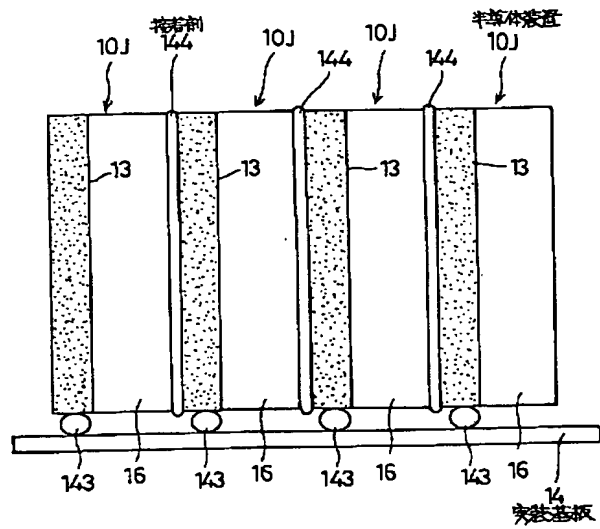
(B)



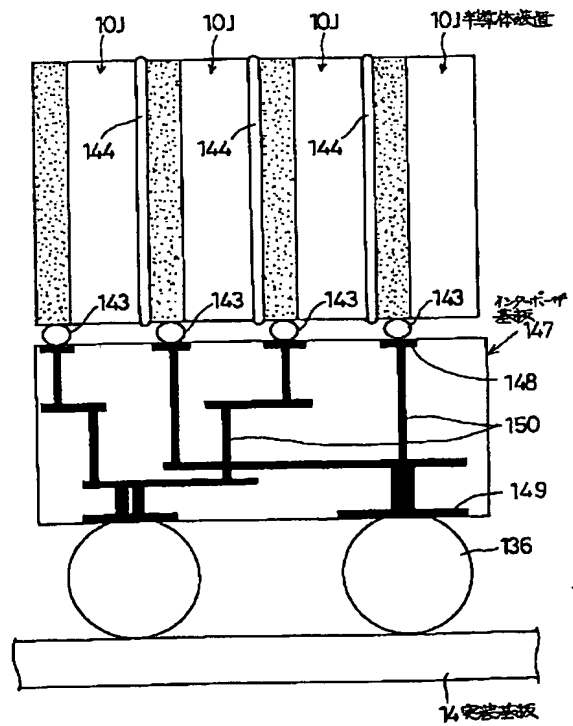
【図66】



【図65】

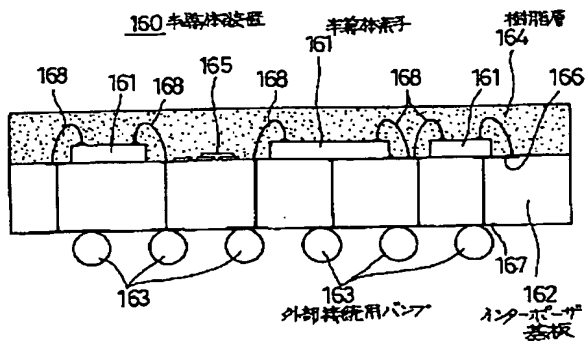


【図67】

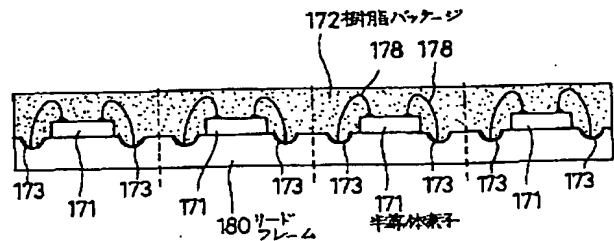


(54)

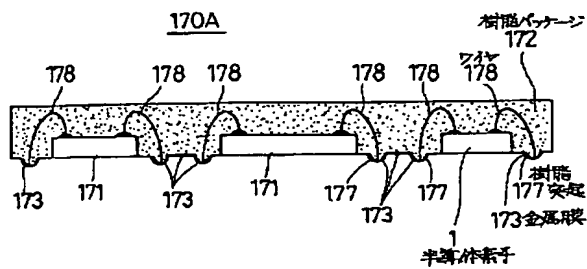
【図 7 0】



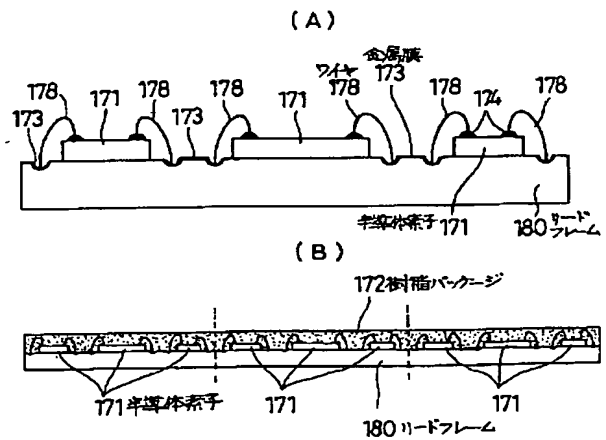
【图 7 3】



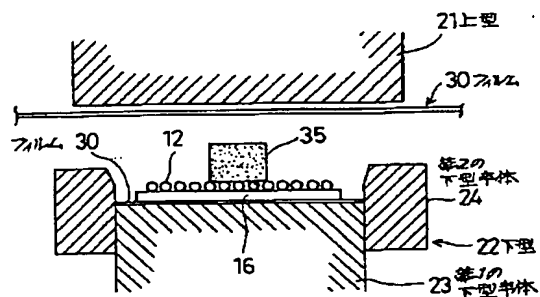
【図 7 4】



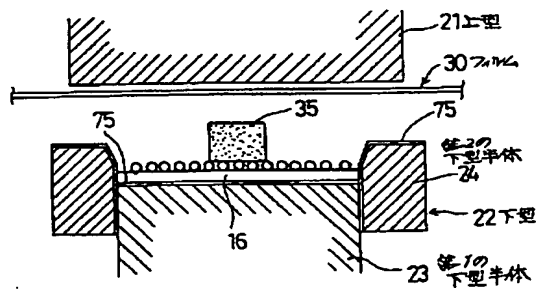
【图 7 5】



【図 7 6】

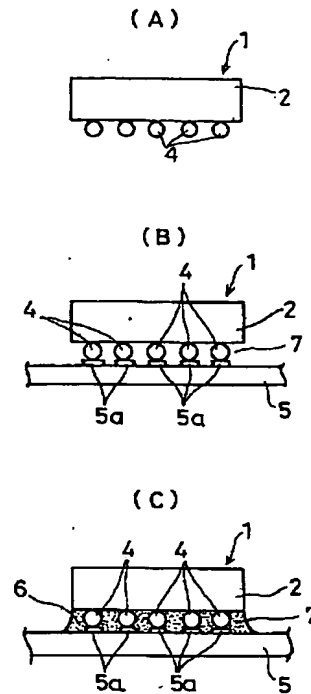


【图 7 7】



(55)

【図78】



フロントページの続き

(51) Int. Cl. 7  
H 0 1 L 25/065  
25/07  
25/18

識別記号

F I  
H 0 1 L 25/08

テームコード (参考)

Z

(72) 発明者 川原 登志実  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 森岡 宗知  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 大澤 満洋  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 新聞 康弘  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 松木 浩久  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 小野寺 正徳  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 河西 純一  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 丸山 茂幸  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 佐久間 正夫  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通オートメーション株式会社内  
(72) 発明者 鈴木 義美  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通オートメーション株式会社内



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**